



Docket No.: 49657-875

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Tetsushi TANIZAKI, et al.

Serial No.: 09/712,246

Group Art Unit: 2818

Filed: November 15, 2000

Examiner:

For: SEMICONDUCTOR MEMORY DEVICE WITH BUILT-IN SELF TEST
CIRCUIT OPERATING AT HIGH RATE

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Honorable Commissioner for Patents and Trademarks
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the
following application:

Japanese Patent Application No. 11-329822,
filed November 19, 1999

A copy of the priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:dtb
Date: April 17, 2001
Facsimile: (202) 756-8087



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

44657-875

Tanizaki, et al

SA 09/12,246

Filed: 11/15/00

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年11月19日

出願番号

Application Number:

平成11年特許願第329822号

出願人

Applicant(s):

三菱電機株式会社

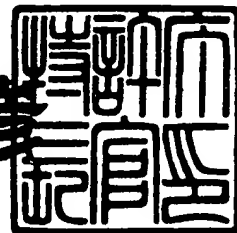
菱電セミコンダクタシステムエンジニアリング株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年12月17日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特平11-3088310

【書類名】 特許願

【整理番号】 520005JP01

【提出日】 平成11年11月19日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/26
G01R 31/28
G06F 11/26
H01L 21/66

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社
社内

【氏名】 谷▲崎▼ 哲志

【発明者】

【住所又は居所】 兵庫県伊丹市瑞原四丁目 1 番地 菱電セミコンダクタシ
ステムエンジニアリング株式会社内

【氏名】 杉浦 和史

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

【氏名】 中島 雅美

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【特許出願人】

【識別番号】 591036505

【氏名又は名称】 菱電セミコンダクタシステムエンジニアリング株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 自己テスト回路内蔵半導体記憶装置

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上に形成されたメモリセルアレイと、

前記半導体基板上に設けられ、プログラムを記憶して記憶されたプログラムにしたがって前記メモリセルアレイのテストを行ない、テスト結果を出力するためのテスト回路と、

前記半導体基板上に設けられ、前記テスト回路に記憶されるプログラムの内容を書き換えるための書換手段とを含む、自己テスト回路内蔵半導体記憶装置。

【請求項 2】 前記テスト回路は、

前記半導体基板上に設けられ、前記プログラムを記憶するための書換可能な記憶手段と、

前記半導体基板上に設けられ、テストデータを前記プログラムにしたがって発生し前記メモリセルアレイ中の各メモリセルに書込むための手段と、

前記メモリセルからデータを読み出して救済テストのために外部のテスト装置に与えるための手段とを含む、請求項 1 に記載の自己テスト回路内蔵半導体記憶装置。

【請求項 3】 前記テスト回路の動作は、前記テスト装置の動作クロック信号の周波数を逡倍した逡倍クロック信号に同期して行なわれ、

前記テスト回路は、前記逡倍クロック信号に同期して前記テスト装置に対して出力される前記メモリセルから読み出されたデータを、前記逡倍の逡倍数以上の回数だけ繰返し出力するとともに、前記テスト装置がデータを所定の順序で受信することが可能なように、前記メモリセルからの読出アドレスをスクランブルする、請求項 2 に記載の自己テスト回路内蔵半導体記憶装置。

【請求項 4】 前記自己テスト回路内蔵半導体記憶装置は、前記メモリセルアレイへのデータの読出および書込を制御するための信号、および前記テスト回路に格納されるプログラムを含むロードデータを外部から受けるための複数の制御信号入力端子を有し、

・前記制御信号入力端子の数は前記テスト回路に格納される各命令のビット数よりも小さく、

・前記ロードデータは、その各命令が前記複数個の制御信号入力端子の数以下のビット数に分割して前記複数個の制御信号入力端子に与えられ、

前記書換手段は、前記複数個の制御信号入力端子を介して外部から与えられる、分割された前記ロードデータから前記プログラムの各命令を復元するようにして前記テスト回路に記憶させるための手段を含む、請求項 1 に記載の自己テスト回路内蔵半導体記憶装置。

【請求項 5】 前記メモリセルアレイは、複数個の入出力回路を有し、

前記ロードデータは、

前記テスト回路が実行する前記プログラムに加えて、前記メモリセルアレイの前記複数個の入出力回路のテストを行なうための入出力組合せデータを含み、

前記自己テスト回路内蔵半導体記憶装置は、

前記複数個の入出力回路に対応して設けられ、前記複数個の入出力回路を経由して前記メモリセルアレイに前記入出力組合せデータに対応したテスト用データを書込み、前記入出力回路を経由して前記メモリセルアレイから読み出したデータが正当か否かを判定するための入出力組合せテスト回路を含み、

前記書換手段は、前記プログラムを前記テスト回路に記憶させるとともに、前記入出力の組合せデータを前記入出力組合せテスト回路に与える、請求項 4 に記載の自己テスト回路内蔵半導体記憶装置。

【請求項 6】 前記テスト回路は、前記入出力回路のための 1 ビットの期待値マスターデータを出力することが可能であり、

前記入出力組合せテスト回路は、

対応する入出力回路のための入出力組合せデータを記憶するための組合せデータ記憶手段と、

前記期待値マスターデータと前記組合せデータ記憶手段に記憶された入出力組み合わせデータとの論理をとって前記メモリセルアレイに書き込むための手段と

、
前記メモリセルアレイから対応の前記入出力回路を経由して読み出されたデー

たと、前記期待値マスターデータおよび前記組合せデータ記憶手段に記憶された入出力組合せデータとの間で前記論理をとることによって得られた値との比較を行なうことによって対応の入出力回路の出力が正当か否かを判定するための手段を含む、請求項 5 に記載の自己テスト回路内蔵半導体記憶装置。

【請求項 7】 前記ロードデータは、前記自己テスト回路内蔵半導体記憶装置のモードを設定するためのモードデータをさらに含み、

前記書換手段はさらに、前記プログラムを前記テスト回路に記憶させるとともに、前記モードデータにしたがって前記自己テスト回路内蔵半導体記憶装置のモードを設定する、請求項 4 に記載の自己テスト回路内蔵半導体記憶装置。

【請求項 8】 前記テスト回路は、前記メモリセルアレイの論理アドレスに、アドレススクランブルを行なって前記メモリセルアレイのテストを行なうための手段を含む、請求項 1 に記載の自己テスト回路内蔵半導体記憶装置。

【請求項 9】 前記テスト回路は、各メモリセルのアドレスに対して所定の演算を行なうことにより各メモリセルに書き込まれるべきデータを生成するデータスクランブルを行なって前記メモリセルアレイのテストを行なうための手段を含む、請求項 1 に記載の自己テスト回路内蔵半導体記憶装置。

【請求項 10】 前記テスト回路は、

前記半導体基板上に設けられ、前記プログラムを記憶するための書換可能な記憶手段と、

前記プログラムによって制御される、繰り返し動作を含むアルゴリズムにしたがって前記メモリセルアレイ中の各メモリセルに書き込むべきデータを生成するための手段と、

前記繰り返し動作中でデータを記憶するために使用される汎用レジスタと、

前記汎用レジスタに前記繰り返し動作中の所定のタイミングで書き込まれる値を保持するリロードレジスタと、

前記リロードレジスタに、前記記憶手段に記憶されたプログラムによって指定された値を書き込むための手段とを含む、請求項 1 に記載の自己テスト回路内蔵半導体記憶装置。

【請求項 11】 外部から前記テスト回路による繰り返し動作を制御するため

の外部信号を受信するための手段をさらに含み、

前記テスト回路は、前記外部信号の値を参照して前記メモリセルアレイに対するテストにおける繰返し動作を制御するための手段を含む、請求項 1 に記載の自己テスト回路内蔵半導体記憶装置。

【請求項 1 2】 前記テスト回路のための命令セットは条件付ジャンプ命令を含み、

前記テスト回路は、前記条件付ジャンプ命令による分岐動作を前記条件付きジャンプ命令を実行したサイクルより後のサイクルで実行する遅延ジャンプを行なう、請求項 1 に記載の自己テスト回路内蔵半導体記憶装置。

【請求項 1 3】 前記テスト回路は、

前記半導体基板上に設けられ、所定周波数のクロック信号で動作する制御回路と、

前記半導体基板上に設けられ、前記所定周波数を逡倍した逡倍クロック信号で動作する、前記プログラムを記憶するための書換可能な記憶手段と、

前記半導体基板上に設けられ、前記逡倍クロック信号で動作する、前記記憶手段に記憶されたプログラムにしたがってテストデータおよび前記メモリセルアレイの制御信号を生成するためのパターンジェネレータとを含む、請求項 1 に記載の自己テスト回路内蔵半導体記憶装置。

【請求項 1 4】 前記パターンジェネレータの発生するテストデータを外部に出力するための手段をさらに含む、請求項 1 3 に記載の自己テスト回路内蔵半導体記憶装置。

【請求項 1 5】 前記テスト回路は、テストのパスをテスト結果信号の第 1 のレベルで、テストのフェイルを前記テスト結果信号の第 2 のレベルで出力し、

前記テスト回路はさらに、テスト結果を出力するに先立ち、前記テスト結果信号を前記第 2 のレベルにする、請求項 1 に記載の自己テスト回路内蔵半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は半導体記憶装置に関し、特に、組込み自己テスト回路（Built-In Self Test 回路。以下「BIST 回路」と呼ぶ。）を有する半導体記憶装置に関する。

【0002】

【従来の技術】

半導体記憶装置は、多数のメモリセルを含むメモリセルアレイを含む。半導体記憶装置の微細化に伴い、各メモリセルのサイズは小さくなり、製造工程におけるゴミなどの付着により不良が生ずる可能性が高い。またメモリの微細化とともに隣接セル間のデータの干渉も無視できない。そのために、半導体記憶装置を製品として出荷する前には、メモリセルを含む回路のテストを行なう必要がある。

【0003】

従来、半導体記憶装置のテストには、メモリテスト（Auto Test Equipment。以下「ATE」と呼ぶ。）を用いている。ATEは高価な装置である。

【0004】

そうしたテストの際の構成の一例を図21に示す。図21を参照して、従来は、テスト対象のメモリ220に、テスト222を接続し、クロック信号線26およびクロック入力ピン36を介してメモリ220にクロック信号を、入力線28を介してメモリ220に入力データおよびアドレス信号を与え、入出力ピン40および入出力線24を介してテスト結果をメモリ220から読み出していた。

【0005】

メモリ220は、メモリアレイ230と、入力バッファ242と、コントロール回路234と、入出力回路232とを含む。

【0006】

テスト時、入出力線24および入出力ピン40を介してテスト222からメモリ220にメモリセルに書き込むべきデータが与えられる。また、入力線28および入力ピン38ならびに入力バッファ242を介してコントロール回路234にアドレス信号およびコントロール信号が与えられる。メモリアレイ230の、指定されたアドレスにデータを書き込んだ後、そのデータを読み出して入出力ピ

シ 40 および入出力線 24 を介してテスト 222 に与え、テスト 222 がテスト結果を判定する。

【0007】

この従来例の場合、メモリアレイ 230 が 4 メガワード×4 バンクの場合には、アドレス信号として 13 ビット、バンクアドレス信号として 2 ビット、入出力制御信号として 4 ビット（／CS，／RAS，／CAS，／WE）の合計 19 本が入力線 28 として必要である。また入出力線 24 としては 1 ワードが 16 ビットとして 16 本の線が必要である。ただし、後述するように縮退テストを行なう際には入出力線 24 として 4 本あれば足りる。

【0008】

いわゆる DRAM (Dynamic Random Access Memory) と呼ばれる半導体記憶装置は、最近の微細化技術の発達により容量が増大している。テスト対象となるメモリセルの数も増大するため、上記した方法ではテストにかかる時間も増大する。さらに、メモリセルに保持されているデータは、自身の値と、その周囲のメモリセルの値とによって影響を受けるため、多くのテストパターンにしたがってテストを行なうことが必要である。この際、メモリセルの数が増大すると、テストパターンの数が指数関数的に増大する。そのためのテスト時間の増大も著しい。こうしたテスト時間の増大に対応できる ATE を確保するために、半導体記憶装置の製造を行なうためには多額の設備投資が必要であった。

【0009】

従来は、半導体記憶装置の利用者の立場として、できるだけ簡単に半導体記憶装置のテストが可能となるように、という観点からテストが行なわれていた。たとえばそのために半導体記憶装置中にテストパターンを記憶した ROM (読出専用メモリ) を設けておき、テスト時にはこの ROM から各メモリセルにテストパターンにしたがったデータを書込み、さらに読み出して書き込んだデータ (期待値) と比較することによりテストすることも行なわれている。

【0010】

また、テストコストを削減するために、ウェハテストにおいては、入出力 (I

／0)を縮退して同測数を確保している。ここで「縮退」とは、次のようなことをいう。メモリセルアレイ中においてメモリセルのアドレスは、サブワード線単位で指定される。そして複数本（たとえば4本）のサブワード線が1本の主ワード線に接続されている。欠陥が見い出されたときには、この主ワード線単位で救済（予備セルとの置き換え）が行なわれるために、テストもこの主ワード線単位で行なえばよい。そのためにアドレスの下位の何ビットかが不要になる。これを「縮退」と呼ぶ。

【0011】

一方、昨今の半導体記憶装置は、データを高速に読み出すためにマルチバンク構成とし、インターリーブして読出が行なわれる。この際、各バンクからは、入出力数と同じビット数を出ししなければならない。ところがコンピュータ等で一度に処理可能なビット数が増大した結果、半導体記憶装置の入出力数も増大する。その結果、入出力データ間の干渉によるデータへの影響が増大している。そのため、テスト項目として入出力データの組合せテストが重要である。ところが、上述した縮退テストではそのようなテストが困難である。

【0012】

【発明が解決しようとする課題】

上記したような半導体記憶装置の微細化および容量の増大に伴い、テストパターンとして想定されるパターン数が大きくなる。すると、それらパターンを記憶しておくROMの容量も増大させなければならず、そのためのチップ面積もかなり大きくなるという問題が生ずる。また、微細化により記憶データの電荷のマージンが減少によって、たとえばグラウンド電位がハイ（H）側に少し変動したりすることによって記憶データに影響が生ずることがある。そのため、実際に半導体記憶装置を設計し作成した後に特にテストしたいパターンが出てくることがある。ROMを用いた場合はそうした問題に対処することができない。

【0013】

こうした問題から、これからは半導体記憶装置の製造者の観点から、よりフレキシブルにテストを可能とすることが望ましい。テストをよりフレキシブルにすることにより、半導体記憶装置自体にとってのオーバヘッドの増加（たとえばチ

ップ面積の増大) などがあつたとしても、半導体記憶装置の設計、製造、テストおよび出荷というサイクル全体から見ると、そうしたオーバーヘッドの増加に十分見合うだけのメリットが期待できる。

【0 0 1 4】

したがってこの発明の目的は、半導体記憶装置の記憶容量の増大に対してテストのための設備投資を抑えることができる半導体記憶装置を提供することである。

【0 0 1 5】

この発明の他の目的は、テストをよりフレキシブルに行なうことができる半導体記憶装置を提供することである。

【0 0 1 6】

この発明のさらに他の目的は、製造後に所望のパターンでテストを行なうことができる半導体記憶装置を提供することである。

【0 0 1 7】

この発明の他の目的は、半導体記憶装置の入出力の組合せデータのテストを容易に行なえる半導体記憶装置を提供することである。

【0 0 1 8】

【課題を解決するための手段】

請求項 1 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置は、半導体基板と、半導体基板上に形成されたメモリセルアレイと、半導体基板上に設けられ、プログラムを記憶して記憶されたプログラムにしたがってメモリセルアレイのテストを行ない、テスト結果を出力するためのテスト回路と、半導体基板上に設けられ、テスト回路に記憶されるプログラムの内容を書き換えるための書換手段とを含む。

【0 0 1 9】

書換手段によって所望のテストのためのプログラムを外部からロードしテスト回路に記憶させて実行させることにより、メモリセルアレイを様々なメモリパターンを用いてテストすることができる。

【0 0 2 0】

請求項 2 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置は、請求項 1 に記載の発明の構成に加えて、テスト回路は、半導体基板上に設けられ、プログラムを記憶するための書換可能な記憶手段と、半導体基板上に設けられ、テストデータをプログラムにしたがって発生しメモリセルアレイ中の各メモリセルに書込むための手段と、メモリセルからデータを読み出して救済テストのために外部のテスト装置に与えるための手段とを含む。

【 0 0 2 1 】

テスト装置から半導体記憶装置に与えるデータはプログラムデータであり、アドレスまたはデータを指定するデータは必要がない。プログラムデータをロードするためのピン数は固定されておりアドレスのビット数などとは関係がない。そのため、記憶装置と半導体記憶装置との間の信号線を少なく、したがって半導体記憶装置のピン数を少なくしながら、従来と同レベルまたはそれ以上のレベルの救済テストを行なうことができる。

【 0 0 2 2 】

請求項 3 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置は、請求項 2 に記載の発明の構成に加えて、テスト回路の動作は、テスト装置の動作クロック信号の周波数を通倍した通倍クロック信号に同期して行なわれ、テスト回路は、通倍クロック信号に同期してテスト装置に対して出力されるメモリセルから読み出されたデータを、通倍の通倍数以上の回数だけ繰返し出力するとともに、テスト装置がデータを所定の順序で受信することが可能なように、メモリセルからの読出アドレスをスクランブルする。

【 0 0 2 3 】

自己テスト回路内蔵半導体記憶装置から、通倍クロック信号の通倍数に対応した回数だけ読出データを出力すると、テスト装置の 1 クロックサイクル（自己テスト回路内蔵半導体記憶装置の通倍数回のクロックサイクル）につき 1 つのデータをテスト装置が判定できる。したがって自己テスト回路内蔵半導体記憶装置が通倍数に対応した回数だけ読出データを出力することで、テスト装置は全てのデータを判定することができる。このとき、読出アドレスがスクランブルされているので、テスト装置においてデータを所定の順番で容易に判定できる。

【0 0 2 4】

請求項 4 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置は、請求項 1 に記載の発明の構成に加えて、メモリセルアレイへのデータの読出および書込を制御するための信号、およびテスト回路に格納されるプログラムを含むロードデータを外部から受けるための複数個の制御信号入力端子を有し、制御信号入力端子の数はテスト回路に格納される各命令のビット数よりも小さく、ロードデータは、その各命令が複数個の制御信号入力端子の数以下のビット数に分割して複数個の制御信号入力端子に与えられ、書換手段は、複数個の制御信号入力端子を介して外部から与えられる、分割されたロードデータからプログラムの各命令を復元するようにしてテスト回路に記憶させるための手段を含む。

【0 0 2 5】

プログラムの各命令のビット数よりも少ない入力端子を用いてプログラムをテスト回路にロードできるので、自己テスト回路内蔵半導体記憶装置に設けられるピン数を削減することができる。

【0 0 2 6】

請求項 5 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置は、請求項 4 に記載の発明の構成に加えて、メモリセルアレイは、複数個の入出力回路を有し、ロードデータは、テスト回路が実行するプログラムに加えて、メモリセルアレイの複数個の入出力回路のテストを行なうための入出力組合せデータを含み、自己テスト回路内蔵半導体記憶装置は、複数個の入出力回路に対応して設けられ、複数個の入出力回路を経由してメモリセルアレイに入出力組合せデータに対応したテスト用データを書込み、入出力回路を経由してメモリセルアレイから読み出したデータが正当か否かを判定するための入出力組合せテスト回路を含み、書換手段は、プログラムをテスト回路に記憶させるとともに、入出力の組合せデータを入出力組合せテスト回路に与える。

【0 0 2 7】

半導体記憶装置の入出力数が増大するにしたがって入出力回路におけるデータの相互の干渉が問題となる。入出力の組合せデータをロードデータとしてロードしテストすることにより、そうした入出力回路のデータの所望の組合せに関して

容易にテストを行なうことができる。

【 0 0 2 8 】

請求項 6 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置は、請求項 5 に記載の発明の構成に加えて、テスト回路は、入出力回路のための 1 ビットの期待値マスターデータを出力することが可能であり、入出力組合せテスト回路は、対応する入出力回路のための入出力組合せデータを記憶するための組合せデータ記憶手段と、期待値マスターデータと組合せデータ記憶手段に記憶された入出力組み合わせデータとの論理をとってメモリセルアレイに書き込むための手段と、メモリセルアレイから対応の入出力回路を経由して読み出されたデータと、期待値マスターデータおよび組合せデータ記憶手段に記憶された入出力組合せデータとの間で論理をとることによって得られた値との比較を行なうことによって対応の入出力回路の出力が正当か否かを判定するための手段を含む。

【 0 0 2 9 】

実際にメモリセルアレイに書き込まれるデータは、入出力組合せデータと期待値マスターデータとの論理によって形成される。任意の入出力組合せデータを作成するためにテスト回路から入出力テスト組合せ回路に与えられるデータとして期待値マスターデータが必要なだけであるため、テスト回路から入出力テスト組合せ回路への配線数が削減できる。

【 0 0 3 0 】

請求項 7 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置は、請求項 4 に記載の発明の構成に加えて、ロードデータは、自己テスト回路内蔵半導体記憶装置のモードを設定するためのモードデータをさらに含み、書換手段はさらに、プログラムをテスト回路に記憶させるとともに、モードデータにしたがって自己テスト回路内蔵半導体記憶装置のモードを設定する。

【 0 0 3 1 】

半導体記憶装置は、動作のための各種のモードを持つ。こうした各モードでのテストをも行なうために、ロードデータにモードデータを含ませると、データのロード時に半導体記憶装置のモードを任意のモードに設定することができる。

【 0 0 3 2 】

請求項 8 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置は、請求項 1 に記載の発明の構成に加えて、テスト回路は、メモリセルアレイの論理アドレスにアドレススクランブルを行なってメモリセルアレイのテストを行なうための手段を含む。

【 0 0 3 3 】

論理アドレスに対してアドレススクランブルをすることにより、実際のメモリセルの物理的配置に即したメモリセル間のデータ干渉の試験を行なうことができる。

【 0 0 3 4 】

請求項 9 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置は、請求項 1 に記載の発明の構成に加えて、テスト回路は、各メモリセルのアドレスに対して所定の演算を行なうことにより各メモリセルに書き込まれるべきデータを生成するデータスクランブルを行なってメモリセルアレイのテストを行なうための手段を含む。

【 0 0 3 5 】

データスクランブルにより任意のテストパターンが生成できるので、セルレベルで所望のテストパターンによるテストを行なうことができる。

【 0 0 3 6 】

請求項 1 0 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置は、請求項 1 に記載の発明の構成に加えて、テスト回路は、半導体基板上に設けられ、プログラムを記憶するための書換可能な記憶手段と、プログラムによって制御される、繰り返し動作を含むアルゴリズムにしたがってメモリセルアレイ中の各メモリセルに書き込むべきデータを生成するための手段と、繰り返し動作中でデータを記憶するために使用される汎用レジスタと、汎用レジスタに繰り返し動作中の所定のタイミングで書き込まれる値を保持するリロードレジスタと、リロードレジスタに、記憶手段に記憶されたプログラムによって指定された値を書き込むための手段とを含む。

【 0 0 3 7 】

繰り返し制御中、通常は汎用レジスタの値は所定のタイミングで初期値に書き換

えられる。ところが、こうした汎用レジスタの初期値を任意の値に設定しようとすると、汎用レジスタは直接書込が行えなかった。しかしこのようにリロードレジスタを設けそこに値を書き込んでその値を汎用レジスタの初期値とすることにより、繰返し動作の制御により柔軟性を持たせることができる。

【0038】

請求項11に記載の発明にかかる自己テスト回路内蔵半導体記憶装置は、請求項1に記載の発明の構成に加えて、外部からテスト回路による繰返し動作を制御するための外部信号を受信するための手段をさらに含み、テスト回路は、外部信号の値を参照してメモリセルアレイに対するテストにおける繰返し動作を制御するための手段を含む。

【0039】

長い時間同じ状態を繰返す試験において、外部信号によってプログラム実行中の繰返し処理を制御することができる。内部にカウンタなどを持たせる場合と比較して回路規模の増大が防止でき、回路面積を小さくすることができる。

【0040】

請求項12に記載の発明にかかる自己テスト回路内蔵半導体記憶装置は、請求項1に記載の発明の構成に加えて、テスト回路のための命令セットは条件付ジャンプ命令を含み、テスト回路は、条件付ジャンプ命令による分岐動作を条件付きジャンプ命令を実行したサイクルより後のサイクルで実行する遅延ジャンプを行なう。

【0041】

遅延ジャンプ命令とすることで、テスト回路中の命令を記憶する部分の動作を高速化する必要がなくなる。そのため、記憶装置として特殊なものをを用いる必要がなく、読出のための制御部分を簡略にできる。

【0042】

請求項13に記載の発明にかかる自己テスト回路内蔵半導体記憶装置は、請求項1に記載の発明の構成に加えて、テスト回路は、半導体基板上に設けられ、所定周波数のクロック信号で動作する制御回路と、半導体基板上に設けられ、所定周波数を通倍した通倍クロック信号で動作する、プログラムを記憶するための書

換可能な記憶手段と、半導体基板上に設けられ、通倍クロック信号で動作する、記憶手段に記憶されたプログラムにしたがってテストデータおよびメモリセルアレイの制御信号を生成するためのパターンジェネレータとを含む。

【0043】

パターンジェネレータによって通倍クロック信号にしたがってメモリセルアレイのテストを行なうことができるので、テストを高速化することができる。

【0044】

請求項 1 4 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置は、請求項 1 3 に記載の発明の構成に加えて、パターンジェネレータの発生するテストデータを外部に出力するための手段をさらに含む。

【0045】

パターンジェネレータの発生するテストデータを外部でモニタすることができ、パターンジェネレータの動作を外部から確認することができる。

【0046】

請求項 1 5 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置は、請求項 1 に記載の発明の構成に加えて、テスト回路は、テストのパスをテスト結果信号の第 1 のレベルで、テストのフェイルをテスト結果信号の第 2 のレベルで出力し、テスト回路はさらに、テスト結果を出力するに先立ち、テスト結果信号を第 2 のレベルにする。

【0047】

テスト結果信号を、予めフェイルを表す第 2 のレベルにしたのちにテスト結果を出力する。そのため結果がフェイルであるにもかかわらずパスとして外部のテスト装置に判定されるおそれは少なくなる。

【0048】

【発明の実施の形態】

図 1 を参照して、この発明の実施の形態 1 にかかる自己テスト回路内蔵メモリ 2 0 は、テスト 2 2 入出力ピン 4 0 および入出力線 2 4、クロック入力ピン 3 6 およびクロック信号線 2 6、ならびに 4 本の入力ピン 3 8 および入力線 2 8 によってテスト 2 2 に接続されている。

【0049】

自己テスト回路内蔵メモリ20は、いずれも同一の半導体基板上に形成された入力バッファ42と、内蔵自己テスト(BIST)回路46と、メモリセルアレイ30と、メモリセルアレイ30の動作を制御するためのコントロール回路34と、メモリセルアレイ30および入出力バッファ48とデータを入出力するとともに、自己テストの結果を判定する機能を持つ入出力およびBIST書込/判定回路32と、内蔵自己テスト(BIST)回路46からコマンド/アドレス線64を介して与えられるコマンド/アドレスおよび入力バッファ42を介して与えられる制御信号のいずれかを自己テスト動作時か否かにしたがって選択して出力66に出力しコントロール回路34に与えるためのマルチプレクサ44とを含む。

【0050】

内蔵自己テスト(BIST)回路46は、自己テスト動作を制御するためのBISTコントローラ52と、命令データ130を記憶し、PC線70上のプログラムカウンタ値によって指定されるアドレスの命令を命令入力線72上に出力するための命令RAM50と、PC線70上に次に実行すべき命令のアドレスであるプログラムカウンタ値を出力し、それに応答して命令入力線72上に現れる命令を実行してメモリセルアレイ30のテストのためのテストパターンデータおよびメモリセルアレイ30の制御のためのコマンド/アドレスデータをコマンド/アドレス線64上に出力するためのALPG54とを含む。命令RAM50はSRAM(Static Random Access Memory)からなる。自己テスト動作は、命令RAM50へのプログラムのロード、ALPG54の実行、自己テストの結果出力を含む。

【0051】

BISTコントローラ52の制御は入力線28の組合せまたは入力線28を介して与えられるシリアル入力により行なわれる。一旦プログラムデータのロードが開始されるとBISTコントローラ52はプログラムのロードシーケンサとして機能しこの間には他の自己テスト動作のための外部入力を受け付けない。BISTコントローラ52がもとの状態となり各種の自己テストのための外部入力を

受け付けるようになるのは、プログラムのロードが終了した時点である。プログラムのロードの終了は、ロードされるデータ中に所定のロード終了命令が発見されたときに行なわれる。

【0052】

図2を参照して、ALPG54は、次に実行されるべき命令のアドレスを計算するための演算器90と、計算されたアドレスを格納するためのプログラムカウンタ92と、繰返し数を計算するための演算器94と、繰返し数を格納するためのレジスタ96と、条件分岐の際の演算を行なうための演算器100と、繰り返しの際のカウンタとして使用される汎用レジスタ102と、汎用レジスタ102の初期値を変更する際にその初期値が格納されるリロードレジスタ98とを含む。

【0053】

ALPG54はさらに、メモリセルアレイ30のバンクアドレスを計算するための演算器104と、バンクアドレスを格納するためのレジスタ106と、命令内の第1のオペランドを格納するためのレジスタ108と、命令の内容とレジスタ108の内容とにしたがってX方向の論理アドレスを計算するための演算器110と、X方向の論理アドレスを格納するためのレジスタ115と、命令の第2オペランドを格納するためのレジスタ112と、命令の内容とレジスタ112との内容にしたがってメモリセルアレイ30のY方向の論理アドレスを計算するための演算器114と、その出力を格納するためのレジスタ116と、自己テスト回路内蔵メモリ20の内部の物理アドレスを考慮したテストが可能のように、レジスタ115およびレジスタ116の出力するX方向およびY方向アドレスに対してアドレススクランブル（ウェアスクランブルを含む）を行なうためのアドレススクランブラ118と、アドレススクランブルのかけられたアドレスを格納するためのアドレスレジスタ120と、期待値マスターデータの元になるデータを格納するためのレジスタ122と、レジスタ122の内容と、レジスタ115およびレジスタ116から与えられるアドレス信号との間でテストパターンに応じた演算を行なってテスト用データを生成するためのデータスクランブラ124と、データスクランブラ124の出力を保持するためのデータレジスタ126とを

含む。

【 0 0 5 4 】

A L P G 5 4 はさらに、命令の内容にしたがってコマンド (COMMAND) 信号および比較 (CMP) 信号を出力する機能を有する。

【 0 0 5 5 】

演算器 1 0 0 は条件分岐のためのカウンタとして使用される汎用レジスタ 1 0 2 に格納された値と命令とによって条件コードを計算し汎用レジスタ 1 0 2 に格納する。演算器 1 0 0 の値は演算器 9 0 に与えられ、後述するようにプログラムカウンタの計算に用いられる。なお汎用レジスタ 1 0 2 の初期値は固定であり、通常は所定のカウント後にその初期値に戻る。ただし、テストパターンによっては、リロードレジスタ 9 8 にその初期値を格納しておくことにより、汎用レジスタ 1 0 2 の初期値はリロードレジスタ 9 8 に格納された値となる。

【 0 0 5 6 】

演算器 9 4 は、繰返し演算における繰返し数を計算するためのものであり、繰返し数はレジスタ 9 6 に格納される。所定のジャンプ条件が成立するとその条件コード信号が演算器 9 4 から演算器 9 0 に与えられる。

【 0 0 5 7 】

演算器 9 0 は、RUN 信号線 7 4 から実行信号 RUN が与えられることにより動作を開始し、命令入力線 7 2 から与えられる命令の内容と、外部信号 EX TM の状態と、演算器 1 0 0 から与えられる条件コードと、演算器 9 4 からあたえられる繰返し条件コードと、プログラムカウンタ 9 2 の値とにしたがって次の命令のアドレスを計算し出力する。この値はプログラムカウンタ 9 2 に格納される。

【 0 0 5 8 】

アドレススクランブラ 1 1 8 は、DRAM のアドレススクランブルを行なうためのものである。ここで「アドレススクランブル」とは次のようなことをいう。メモリ内の記憶位置はアドレスによって指定されるが、外部から指定される論理アドレスと、メモリ内のその論理アドレスに対応する記憶位置の物理アドレスとは必ずしも一致しない。たとえばメモリ内の回路のレイアウトの制約から、論理的には連続するアドレスが、メモリ内では互いに離れた場所に存在することがあ

る。そうした場合には、外部から与えられるアドレス信号を、メモリ内の実際のアドレスに対応したアドレスに変換する必要がある。それが「アドレススクランブル」である。このアドレススクランブルで行なわれるアドレス変換は、設計ごとに、したがって製品ごとに固有である。図3にアドレススクランブラ118で行なわれるアドレス変換のための論理回路の一例を示す。

【0059】

図3に示す例では、アドレススクランブラ118に入力されるアドレスXA0～XA12のうち、XA2とXA4との排他的論理和がとられ、アドレスA<2>として出力される。XA3とXA4との排他的論理和がとられ、アドレスA<3>として出力される。

【0060】

データスクランブラ124で行なわれるデータスクランブルの例を図4～図6に示す。データスクランブラ124は、入力されるアドレス信号のうちの一部に対して論理演算を行なうことによりテストパターンデータを生成する機能を有する。たとえば図4(B)に示すようなビット線BLとビット線/BL(「/」は反転を表わし、データを反転した値が印加される。)との配列を持ち、かつこれらビット線がそれぞれワード線のうち交互に配置されたものに接続されている配置を考える。この場合、アドレス信号の下位2ビットのみに着目してこのアドレスにより指定されるメモリセルの順番を考えると、図4(B)の各セル内に数字で示したとおりとなる。

【0061】

そこで、図4(A)に示されるようにアドレス信号の下位2ビットXA0とXA1との排他的論理和をとることにより、図4(B)に示すように全てのセルにハイの値が格納される。さらにこのデータを反転させれば全てのセルにローの値が格納される。

【0062】

また、図5(A)に示すようにアドレス信号の1ビットXA1を反転したものをデータ信号とすると、図5(B)に示すような「セルチェッカー」と呼ばれる市松模様のデータ配列が得られる。さらに、図6(A)に示すようにアドレス信

号の1ビットXA0を反転してデータ信号とすることにより、図6（B）に示すように「セルロウストライプ」と呼ばれるデータ配列が得られる。

【0063】

データスクランブラ124は、こうした各種の論理演算を行なう論理回路を複数個備えており、データスクランブルとしてどのような処理を行なうか指定されることにより、対応する論理回路の出力を選択してデータレジスタ126に与える機能を持つ。

【0064】

図7を参照して、テスト22から入力線28および入力ピン38を介して入力バッファ42に与えられる、内蔵自己テスト（BIST）回路46のためのロードデータの構成内容について説明する。この内蔵自己テスト（BIST）回路46のALPG54の1ワード（1命令）は32ビット長である。一方、入力線28の信号線は4本しかないので、ロードデータの各ワードは、一度に4ビットずつ、複数回に分割して自己テスト回路内蔵メモリ20に与えられる。

【0065】

図7に示されるように、このロードデータは、複数個の命令データ130（130A～130X）と、入出力組合せデータ132と、モードデータ134とを含む。これらデータは入力バッファ42で受け、プログラムロード・BIST制御線62を介してBISTコントローラ52に与えられる。BISTコントローラ52は、これらデータのうち命令データ130を命令RAM50に、他のデータをそれぞれ所定のレジスタに格納する。なお、この実施の形態の装置では、命令データ130は前述のとおり32ビットワードが複数個、入出力組合せデータ132が16ビット、モードデータ134が12ビットである。

【0066】

モードデータとは、DRAMデバイスの動作モードを指定するデータである。たとえばSDRAMデバイスであれば図示しないモードレジスタの値、テスト容易化のためのテストモードデータ、リセット時にどのようなモードで起動すべきか、バースト長はいくつか、などのデータを含む。

【0067】

図 8 を参照して、上述のようにしてテスト 2 2 から与えられる 4 ビットずつに分割された命令データは、命令 RAM 5 0 内に次のように格納される。すなわち、入力される 4 ビットずつに分割された命令データは、図 8 において矢印 1 3 8 で示した方向にしたがって順次命令 RAM 5 0 に格納される。命令 RAM 5 0 の 1 命令長に相当する 3 2 ビットが格納されると、命令アドレスが 1 進められ、同じようにデータの格納が行なわれる。ALPG 5 4 が実行する命令のアドレスは、矢印 1 3 6 で示される方向に沿ってプログラムカウンタ (PC) の値によって指定される。

【0 0 6 8】

ALPG 5 4 は、アルゴリズムによってデータパターンを生成する。そのため、プログラムシーケンス中で繰返し動作を行なうために条件分岐動作が生ずることがある。この場合の条件分岐動作は条件付ジャンプ命令で行なわれる。仮にこうした条件付ジャンプ命令を 1 クロックサイクルで行なおうとすると、1 クロックサイクルの間に条件を判定し、ジャンプ先のアドレスの命令を命令 RAM 5 0 からフェッチする必要がある。この場合、ALPG 5 4 と命令 RAM 5 0 との間のインターフェースが複雑になるとともに、高速動作が求められるために回路設計が困難となる。そこでこの実施の形態の装置では、図 9 のプログラムリスト中、PC = 1 5 で示されるジャンプ命令「JMP」で示されるように、ジャンプ動作を条件判定の次のプログラムステップで行なうディレイドジャンプ処理を採用した。

【0 0 6 9】

図 9 においては、PC = 1 5 のジャンプ命令ではレジスタ CX = 0 なら PC = 1 7 に進み、それ以外なら PC = ラベル K 2 のアドレス (= 1 0) に進むべきことが示されている。この場合、図 1 1 に示されるように PC = 1 6 ではじめてジャンプ先のアドレス (1 0) を出力している。したがって図 1 0 に示されるように条件ジャンプ命令の実行が行なわれたクロックサイクル (PC = 1 5) から 1 クロックサイクル遅れたサイクル (PC = 1 6) ではじめて PC = 1 0 へのジャンプが実行される。

【0 0 7 0】

このようなディレイドジャンプ処理を採用することにより、命令RAM50からの命令フェッチを高速で行なう必要がないため、回路構成が簡単になり自己テスト回路内蔵メモリ20の実現が容易になるという効果を奏する。

【0071】

さらに、図2に示す演算器90は、図12に示すように、外部信号EXTMを受け、この信号EXTMによって条件付きジャンプ命令の制御を行なうマッチ機能を有する。この命令の一例を図9のPC=19に示す。図9に示されるようにこの命令「JMP」には条件として「EXTM」が指定されている。この場合演算器90は外部信号EXTMの値によってジャンプ先を制御する。したがって、繰返しを外部からこの信号EXTMによって制御することが可能となる。またこのように外部信号EXTMによってプログラムの実行時の繰返し制御を行なう場合、回路内にその信号に相当するデータを保持するためのレジスタを設ける必要がない。そのため、こうした機能を設けることによりペナルティを小さくすることができる。

【0072】

次に図13を参照して、内蔵自己テスト(BIST)回路46の各機能ブロック(命令RAM50、BISTコントローラ52およびALPG54)に供給されるクロック信号の関係について説明する。図13に示すように、BISTコントローラ52には内部クロック信号140が供給され、命令RAM50およびALPG54には内部逡倍クロック信号142が供給される。内部逡倍クロック信号142は内部クロック信号140と位相が等しく、周波数が内部クロック信号140と等しいか、整数倍に逡倍された信号である。内部逡倍クロック信号142は、内部クロック信号140をたとえば自己テスト回路内蔵メモリ20内のPLL(Phase Lock Loop。図示せず。)を用いて周波数を逡倍することにより生成される。

【0073】

このように内部逡倍クロック信号142を用いることで、テスト22から供給されるクロック信号が低速であったとしても内蔵自己テスト(BIST)回路46ではテストを高速に実行することができる。

【0 0 7 4】

図 1 4 を参照して、入出力および B I S T 書込／判定回路 3 2 は入出力の数に対応した複数個の入出力回路 1 6 0 を含む。

【0 0 7 5】

各入出力回路 1 6 0 は、図 7 に示した入出力組合せデータ 1 3 2 を格納するための入出力組合せデータレジスタ 1 7 2 と、A L P G 5 4 によって生成され E X P D M 信号線 7 8 を介して与えられた期待値データのマスター信号と入出力組合せデータレジスタ 1 7 2 との間である論理演算を行なってメモリセルアレイ 3 0 の入出力回路に書込むための書込ドライバ 1 7 0 と、A L P G 5 4 から C M P 信号線 7 6 を介して与えられる判定制御信号によって、書込時同様 A L P G 5 4 によって生成され E X P D M 信号線 7 8 を介して与えられた期待値データのマスター信号と入出力組合せデータレジスタ 1 7 2 との論理演算を行なった判定期待値に対して、メモリセルアレイ 3 0 の入出力回路からの出力と比較して出力値が正当か否かを判定するための判定回路 1 7 4 とを含む。

【0 0 7 6】

この構成により、入出力および B I S T 書込／判定回路 3 2 は、A L P G 5 4 から E X P D M 信号線 7 8 および C M P 信号線 7 6 の 2 本の信号線で制御可能となる。この数は、入出力回路 1 6 0 の数、すなわちメモリセルアレイ 3 0 からの入出力数がいくら増大しても同じである。

【0 0 7 7】

各入出力回路 1 6 0 の判定回路 1 7 4 で判定された結果は、ワイヤード R O M により 1 ビットのパス／フェイル結果にまとめられ（図示せず）、判定結果の出力命令にしたがい入出力バッファ 4 8 を介して出力される。

【0 0 7 8】

図 1 5 を参照して、入出力ピン 4 0 からテスト 2 2 に出力される 1 ビットにまとめられたパス／フェイル結果の出力について説明する。テスト 2 2 として安価なものをを用いた場合、判定信号のレベルを検出する際に、1 レベル（判定のためのしきい値）が上下の二つではなく一つしかないものがある。かつ、テスト時にテスト対象のデバイスを装着する D U T (D e v i c e U n d e r T e s t

）ボード（パフォーマンスボード）で判定結果を出力するピンに負荷が付けられていない場合、正しく判定結果（パス／フェイル）を読み取ることができないおそれがある。

【0079】

そこで、この実施の形態 1 の装置では、判定結果の出力の際には、図 1 5 に示すように必ずまずフェイル状態（ローレベルの信号）の信号を出力してから自己テストの判定結果（パス／フェイル）を出力するようにしている。こうすることによって、たとえば前の判定結果がパス（ハイ）であった場合に、かならず判定結果を出力する信号線上の電荷が一旦引き抜かれ、確実にローレベルとなる。したがって、次の判定結果がフェイル（ロー）であるときに、前の判定結果の電荷が残留しているために誤ってハイレベル（パス）と判定されてしまうおそれが小さい。したがって、判定スレッシュホールドとして 1 レベルしか設定できないような安価なテストを用いても信頼性高くテストを行なうことができる。

【0080】

また、この実施の形態 1 の装置では、図 1 5 に示すように判定結果の信号（パス／フェイル）を複数クロックサイクルの間出力するようにしている。こうすることにより、パス／フェイル信号が出力されている間は、テスト 2 2 は任意の時点で判定信号を読み取ることができる。

【0081】

この実施の形態 1 の装置では、テストのために必要なピン数は全部で 6 本である（入力線 2 8 が 4 本、クロック信号線 2 6 が 1 本、入出力線 2 4 が 1 本）。図 2 1 に示す従来例では縮退をしても必要なピン数は 2 4 本であったのと比較して、テストに必要なピン数は大きく減少している。

【0082】

以上の実施の形態 1 の装置の概略の動作について説明する。通常動作時には、マルチプレクサ 4 4 はその出力 6 6 に入力バッファ 4 2 から与えられる制御信号を出力し、これら信号はコントロール回路 3 4 に与えられる。一方、書込時には入出力ピン 4 0 を介して外部回路から与えられたデータは入出力バッファ 4 8 を経由して入出力および B I S T 書込／判定回路 3 2 に与えられ、メモリセルアレ

イ 30 の指定されたアドレスに書き込まれる。読出時には、逆にメモリセルアレイ 30 から読み出されたデータは入出力バッファ 48 および入出力ピン 40 を介して外部に与えられる。したがって通常時には自己テスト回路内蔵メモリ 20 は通常のメモリとして動作する。

【0083】

テスト時には、まず入力線 28 を介してテスト 22 から ALPG 54 のためのプログラムなどのロードデータ（図 7 参照）が 4 ビットずつ自己テスト回路内蔵メモリ 20 に与えられる。入力バッファ 42 はこのデータをプログラムロード・BIST 制御線 62 を介して内蔵自己テスト（BIST）回路 46 に与える。内蔵自己テスト（BIST）回路 46 は、与えられたデータのうち命令データ 130 を命令 RAM 50 に、入出力組合せデータ 132 を入出力組合せデータ線 80 を介して入出力および BIST 書込／判定回路 32 に与え、入出力および BIST 書込／判定回路 32 内の入出力組合せデータレジスタ 172 に格納し、モードデータ 134 はモードデータ線 68 を介してコントロール回路内の各モードを制御するモードレジスタ（図示せず）に格納する。命令 RAM 50 における命令データ 130 の格納径形式については図 8 に示したとおりである。このプログラムデータのロードのシーケンスは BIST コントローラ 52 によって制御され、この間 BIST コントローラ 52 は外部入力を受け付けない。ロードデータ中に所定のロード終了命令が発見されると BIST コントローラ 52 はロード作業を終了し、外部入力を受け付けるようになる。必要なデータのロードが全て完了すると内蔵自己テスト（BIST）回路 46 によるテストが可能となる。

【0084】

RUN 信号線 74 上の実行信号 RUN に応答して、テストが開始されると、ALPG 54 はクロック信号に同期してプログラムカウンタ 92 の値を PC 線 70 上に出力する。命令 RAM 50 はこのアドレスに格納されている命令を命令入力線 72 上に出力する。

【0085】

ALPG 54 は、こうしてフェッチされた命令にしたがって、処理を行なう。ALPG 54 から出力されたコマンド／アドレスはマルチプレクサ 44 に与えら

れ、マルチプレクサ 4 4 はこれらコマンド／アドレスをコントロール回路 3 4 に与え通常と同様の書込動作が行なわれる。読出しについても同様にコマンド／アドレスがコントロール回路 3 4 に与えられメモリセルアレイ 3 0 からデータが読出され、入出力および B I S T 書込／判定回路 3 2 に与えられる。A L P G 5 4 は、入出力および B I S T 書込／判定回路 3 2 に対して E X P D M 信号線 7 8 を介して期待値のマスターデータ E X P D M を、C M P 信号線 7 6 を介して判定制御信号 C M P を、それぞれ与える。入出力および B I S T 書込／判定回路 3 2 は、こうして与えられたデータに基づいてメモリセルアレイ 3 0 のパス／フェイルの判定を行なう。

【 0 0 8 6 】

一方、入出力組合せのテストでは、予め入出力組合せデータレジスタ 1 7 2 に格納されていた組合せデータと E X P D M 信号線 7 8 上の期待値マスターデータ E X P D M との間で所定の論理演算が行なわれメモリセルアレイ 3 0 に与えられる。一方メモリセルアレイ 3 0 から読み出された値は、期待値マスターデータ E X P D M と入出力組合せデータレジスタ 1 7 2 に格納された組合せデータとの間で行なわれる上記論理演算の結果と比較され、両者が一致するか否かが判定回路 1 7 4 によって判定される。

【 0 0 8 7 】

このようにしてメモリセルアレイ 3 0 に対する各種テストパターンと入出力組合せデータとによって行なわれた結果、パス／フェイルの判定が行なわれる。テスト 2 2 から B I S T コントローラ 5 2 に対して判定結果の出力命令を与えることにより、B I S T コントローラ 5 2 は判定結果の出力のための制御を行なう。判定結果は、入出力および B I S T 書込／判定回路 3 2 から、入出力バッファ 4 8、入出力ピン 4 0 および入出力線 2 4 を介してテスト 2 2 に与えられる。

【 0 0 8 8 】

テスト 2 2 は、この結果を見ることにより自己テスト回路内蔵メモリ 2 0 のパス／フェイルに関する自己テストの結果を知ることができる。このとき、図 1 5 を参照して説明したように、自己テスト回路内蔵メモリ 2 0 は一旦その出力をローレベルとし、その後パス／フェイルの判定結果を出力する。そのため、判定

結果信号のレベルがその前のテストの結果により左右されることがなく、判定結果信号のレベルを判定するしきい値が一つしか設定できない A T E であっても正しく判定することができる。またパス／フェイル信号の出力は複数サイクルの間連続して行なわれるので、テスト 2 2 はその間の任意の時点で自己テストの結果を判定することができる。

【 0 0 8 9 】

次に、図 1 6 を参照して本発明の実施の形態 2 にかかる自己テスト回路内蔵半導体記憶装置について説明する。この実施の形態の自己テスト回路内蔵メモリ 1 8 0 は、救済テストを容易に行えるようにするためのものである。一般に、救済テストでは不良アドレスを検知し記憶しておきどの不良メモリセルをどの冗長メモリセルと置き換えればよいかを判断する必要がある。そのため、通常、A T E にはファイルメモリと呼ばれる、各アドレスごとに判定結果を記憶しておくメモリが搭載されている。上に述べた実施の形態 1 の装置は、自己テスト回路内蔵メモリ 2 0 のパス／フェイルのみが出力されるので、救済テストには対応できない。この実施の形態 2 の装置は、そうした救済テストを可能とするものである。

【 0 0 9 0 】

図 1 6 を参照して、この自己テスト回路内蔵メモリ 1 8 0 が実施の形態 1 の自己テスト回路内蔵メモリ 2 0 と異なるのは、メモリセルアレイ 3 0 に書き込まれたテストデータが、入出力および B I S T 書込／判定回路 1 9 0、入出力バッファ 4 8 および入出力ピン 4 0 を介して上記したファイルメモリを装備したテスト 1 8 2 に与えられる点である。図 1 6 において、図 1 と同じ部品には同じ参照番号を付してある。それらの名称および機能も同一である。したがってここではそれらについての詳細な説明は繰返さない。

【 0 0 9 1 】

この自己テスト回路内蔵メモリ 1 8 0 では、実施の形態 1 に示された自己テスト回路内蔵メモリ 2 0 と同様、テストパターンを生成するプログラムをテスト 1 8 2 から命令 R A M 5 0 にロードし、A L P G 5 4 によってコマンド、アドレスおよび書込データを発生してメモリセルアレイ 3 0 にテストデータを書き込む。さらに読出時には、書込時と同様にコマンドおよびアドレスを A L P G 5 4 で発

生し、マルチプレクサ 44 を介して出力 66 からコントロール回路 34 に与えることでメモリセルアレイ 30 から対応するデータが読み出される。このデータは入出力および BIST 書込／判定回路 190、入出力バッファ 48、入出力ピン 40 および入出力線 24 を介して通常のメモリの読出と同様にテスト 182 に与える。

【0092】

この構成により、テスト 182 では、従来と同様にして自己テスト回路内蔵メモリ 180 のパス／フェイルの判定と救済解析とを行なうことができる。なお、DRAM デバイスでは、救済テスト時にはロウアドレス、コラムアドレスが縮退されるので、入出力の必要数は少なくなる。たとえば 16 I/O のデバイスでは、I/O の縮退により 4 I/O で救済テストが可能である。

【0093】

この実施の形態 2 の装置でも、比較的安価な ATE を用いてテストを行なうことができる。また ALPG 54 によって、命令 RAM 50 に格納されたプログラムにしたがってテストパターンを生成でき、かつ命令 RAM 50 に格納されるプログラムはテスト 182 から入力線 28、入力ピン 38 を介して自己テスト回路内蔵メモリ 180 に与えることができるので、製品の製造開始後にも必要なテストパターンでのテストを行なうことが容易にでき、テストをフレキシブルに行なうことが可能となる。

【0094】

さらに、この実施の形態 2 の装置では、テストのために必要なピン数は全部で 9 本である（入力線 28 が 4 本、クロック信号線 26 が 1 本、入出力線 24 が縮退により 4 本）。図 21 に示す従来例では縮退をしても必要なピン数は 24 本であったのと比較して、テストに必要なピン数は大きく減少している。

【0095】

また、上の説明ではメモリセルアレイ 30 からの読出データを入出力および BIST 書込／判定回路 190 ならびに入出力バッファ 48 を介してテスト 182 に出力するとしていたが、これと同様にして ALPG 54 の発生した EXPDM 信号線 78 上の期待値マスターデータ EXPDM を入出力および BIST 書込／

判定回路 190 ならびに入出力バッファ 48 を介してテスト 182 に出力することも可能である。この場合には、ALPG 54 が発生したデータをテスト 182 がモニタでき、テストの信頼性をあげるとともに、効率化を図ることができる。

【0096】

さて、この実施の形態 2 の装置で、内部の動作クロック信号として通倍クロック信号を用いた場合、入出力ピン 40 から出力されるデータはこの内部通倍クロック信号によって定まるタイミングで出力される一方、テスト 182 は通倍される前のクロック信号で動作することになる。そのために、テスト 182 がテスト結果を読出す際には、通常のタイミングでの読出は行えない。たとえば、図 17 の上に示されるようにテスト 182 が動作するクロック信号は 20MHz であるのに対し、自己テスト回路内蔵メモリ 180 内部の通倍クロック信号は 80MHz である。

【0097】

ALPG 54 からメモリセルアレイ 30 へのデータの書込は内部通倍クロック信号にしたがって実行され、テスト 182 が関係することはないので、処理は高速に行える。

【0098】

一方、読出データをテスト 182 が受ける際には、テスト 182 は自己の動作タイミングを定めているクロック信号の 1 周期に一回、ストロブ信号を出力し、このストロブ信号により定まるタイミングでデータの判定を行なうことができる。しかしこのストロブ信号が出力されるタイミングは、自己テスト回路内蔵メモリ 180 内部での動作タイミングを決めるクロック信号よりずっと低い周波数を有する。そこで、テスト 182 から見て入出力ピン 40 にあたかもテスト 182 のクロック信号と同じ周波数で読出データが現れるかのように見せるために工夫が必要となる。

【0099】

そこでこの実施の形態 2 では、通常の ATE がストロブ信号のタイミングを 1 サイクル内で移動できることを利用する。つまり、テスト 182 の動作クロック信号の 1 サイクルの間に自己テスト回路内蔵メモリ 180 からは 4 回データが

出力されてくるが、1サイクルにはこのうち一つのデータの判定しか行なわない。そして、4サイクルをかけて、ストロブ信号のタイミングを1/4サイクルずつずらしてデータを判定することにより4つの出力データの全てを判定する。

【0100】

実際には、図18および図19に示すように、コラム優先アドレスインクリメントで書込を行なう場合にせよ、ロウ優先アドレスインクリメントで書込を行なう場合にせよ、バースト長との関連で、読出のシーケンスを変える必要が有る。そこで、読出時のみアドレススクランブルをかけるようにする。

【0101】

図18に示す例では、ALPG54の出力するY方向アドレスのYA0～YA2の間でアドレススクランブルをかけてDUTのコラムアドレスCA0～CA2とする。こうすることにより、テスト182の8サイクルの間に読出データD0、D2、D4、D6、D1、D3、D5およびD7というシーケンスが都合4回現れる。最初の2サイクルでは読出ストロブを最初の1/4サイクルの間に置くことでD0、D1を読むことができる。次の2サイクルでは読出ストロブを1/4サイクルだけ後ろにずらすことによりD2、D3の読出が行える。以下同様にストロブをずらすことで、3番目のサイクルではD4およびD5、4番目のサイクルではD6およびD7が、それぞれ判定できる。

【0102】

図19に示す例ではALPG54の出力するX方向アドレスXA0、Y方向アドレスYA0、YA1の間でスクランブルをかけてDUTのロウアドレスRA0、コラムアドレスCA0、CA1とする。これにより、図18の場合と同様にテスト182の8サイクルの間に8つのデータの全てが読みだせる。

【0103】

こうした処理によって、自己テスト回路内蔵メモリ180内部では通倍クロック信号にしたがってテストが高速に行えるので、メモリセルアレイ30を製品動作周波数相当で救済テストできるとともにテスト時間を短縮することが可能になる。一方で、テスト182に対してはテスト182の動作する低速クロック信号でデータの出力が行える。また、アドレススクランブル機能により、テストで読

み取るデータの順番も、判定に都合良い順番となっている。

【0104】

したがって、従来よりも高速に半導体記憶装置の救済テストを行なうことが可能になる。

【0105】

図20に、実施の形態3にかかる自己テスト回路内蔵メモリ200のブロック図を示す。この自己テスト回路内蔵メモリ200は、図1に示す自己テスト回路内蔵メモリ20とほぼ同様であるが、入出力およびBIST書込／判定回路32にかえて、ALPG54の発生データ(EXPDM)をテスト22にそのまま出力する機能を有する入出力およびBIST書込／判定回路210を有する点が異なる。

【0106】

このようにALPG54の発生データ(EXPDM)を外部に出力することにより、実施の形態1の効果に加えてさらに、外部から自己テスト回路内蔵メモリ200の動作を確認することができるという効果を奏する。

【0107】

【発明の効果】

以上のように請求項1に記載の発明にかかる自己テスト回路内蔵半導体記憶装置によれば、プログラムを外部からロードしテスト回路に記憶させて実行させることにより、メモリセルアレイを様々なメモリパターンを用いてテストすることができる。その結果、半導体記憶装置の製造後でも所望のパターンにしたがったテストが可能になり、テストをより柔軟に行なうことができる。

【0108】

請求項2に記載の発明にかかる自己テスト回路内蔵半導体記憶装置によれば、請求項1に記載の発明の効果に加えて、記憶装置と半導体記憶装置との間の信号線を少なく、したがって半導体記憶装置のピン数を少なくしながら、従来と同レベルまたはそれ以上のレベルの救済テストを行なうことができる。

【0109】

請求項3に記載の発明にかかる自己テスト回路内蔵半導体記憶装置によれば、

請求項 2 に記載の発明の効果に加えて、自己テスト回路内蔵半導体記憶装置が通倍クロック信号によって高速で動作できる。かつ、自己テスト回路内蔵半導体記憶装置が通倍数に対応した回数だけ読出データを出力し、その際に読出スクランブルを行なうことで、テスト装置が全てのデータを正しい順番で容易な処理で判定することができる。

【0110】

請求項 4 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置によれば、請求項 1 に記載の発明の効果に加えて、自己テスト回路内蔵半導体記憶装置に設けられるピン数を削減することができ、チップの微細化を阻害するおそれは少ない。

【0111】

請求項 5 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置によれば、請求項 4 に記載の発明の効果に加えて、入出力の組合せデータをロードデータとしてロードしテストすることにより、入出力回路のデータの所望の組合せに関して容易にテストを行なうことができる。

【0112】

請求項 6 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置によれば、請求項 5 に記載の発明の効果に加えて、任意の入出力組合せデータを作成するためにテスト回路から入出力テスト組合せ回路に与えられるデータとして期待値マスターデータが必要なだけであるため、テスト回路から入出力テスト組合せ回路への配線数が削減できる。回路規模の増大を防止することができる。

【0113】

請求項 7 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置によれば、請求項 4 に記載の発明の効果に加えて、データのロード時に半導体記憶装置のモードを任意のモードに設定することができる。

【0114】

請求項 8 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置によれば、請求項 1 に記載の発明の効果に加えて、実際のメモリセルの物理的配置に即したメモリセル間のデータ干渉の試験を行なうことができ、適切なメモリテストを行

なうことができる。

【0 1 1 5】

請求項 9 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置によれば、請求項 1 に記載の発明の効果に加えて、セルレベルで所望のテストパターンによるテストを行なうことができる。

【0 1 1 6】

請求項 1 0 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置によれば、請求項 1 に記載の発明の効果に加えて、繰返し動作の制御により柔軟性を持たせることができる。

【0 1 1 7】

請求項 1 1 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置によれば、請求項 1 に記載の発明の効果に加えて、外部信号によってプログラム実行中の繰返し処理を制御することができる。内部にカウンタなどを持たせる場合と比較して回路規模の増大が防止でき、回路面積を小さくすることができる。

【0 1 1 8】

請求項 1 2 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置によれば、請求項 1 に記載の発明の効果に加えて、プログラムを記憶するための記憶装置として特殊なものをを用いる必要がなく、読出のための制御部分を簡略にでき、結果として自己テスト回路内蔵半導体記憶装置のコスト及びテストコストの増大を防止できる。

【0 1 1 9】

請求項 1 3 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置によれば、請求項 1 に記載の発明の効果に加えて、パターンジェネレータによって逓倍クロック信号にしたがってメモリセルアレイのテストを行なうことができるので、テストを高速化することができ、半導体記憶装置の製品動作周波数相当で救済テストができるとともにテストコストも下げることができる。

【0 1 2 0】

請求項 1 4 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置によれば、請求項 1 3 に記載の発明の効果に加えて、パターンジェネレータの発生するテ

ストデータを外部でモニタすることができ、パターンジェネレータの動作を外部から確認することができ、テストの信頼性を上げることができる。

【0 1 2 1】

請求項 1 5 に記載の発明にかかる自己テスト回路内蔵半導体記憶装置によれば、請求項 1 に記載の発明の効果に加えて、結果がフェイルであるにもかかわらずパスとして外部のテスト装置に判定されるおそれは少なくなり、テストの信頼性を上げることができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 にかかる自己テスト回路内蔵メモリ 2 0 のブロック図である。

【図 2】 この発明の実施の形態 1 の A L P G 5 4 のブロック図である。

【図 3】 この発明の実施の形態 1 のアドレススクランブル機能を説明するための図である。

【図 4】 この発明の実施の形態 1 のデータスクランブル機能を説明するための図である。

【図 5】 この発明の実施の形態 1 のデータスクランブル機能を説明するための図である。

【図 6】 この発明の実施の形態 1 のデータスクランブル機能を説明するための図である。

【図 7】 A L P G に入力される命令データの構成の模式図である。

【図 8】 命令 R A M に格納される命令データの構成を示す図である。

【図 9】 実施の形態 1 の条件ジャンプ命令における遅延ジャンプを説明するための、プログラムを示す図である。

【図 1 0】 実施の形態 1 の条件ジャンプ命令における遅延ジャンプを説明するための、プログラムカウンタの値と命令アドレスの移動との関係を示す図である。

【図 1 1】 実施の形態 1 の条件ジャンプ命令における遅延ジャンプ時のタイミングを示す波形図である。

【図 1 2】 実施の形態 1 で採用した外部信号によるマッチ機能を説明する

だめの図である。

【図 1 3】 実施の形態 1 の内蔵自己テスト (B I S T) 回路 4 6 の各ブロックに供給されるクロック信号の関係を模式的に示す図である。

【図 1 4】 実施の形態 1 における入出力および B I S T 書込／判定回路 3 2 の構成を示すブロック図である。

【図 1 5】 実施の形態 1 における判定出力波形を示すタイミングチャートである。

【図 1 6】 実施の形態 2 にかかる自己テスト回路内蔵メモリ 1 8 0 のブロック図である。

【図 1 7】 実施の形態 2 における内部クロック信号と内部通倍クロック信号との関係を示す波形図である。

【図 1 8】 実施の形態 2 において、コラム優先時のテスト結果の読出タイミングを示すタイミングチャートである。

【図 1 9】 実施の形態 2 において、ロウ優先時のテスト結果の読出タイミングを示すタイミングチャートである。

【図 2 0】 実施の形態 3 にかかる自己テスト回路内蔵メモリ 2 0 0 のブロック図である。

【図 2 1】 従来のメモリの構成を示すブロック図である。

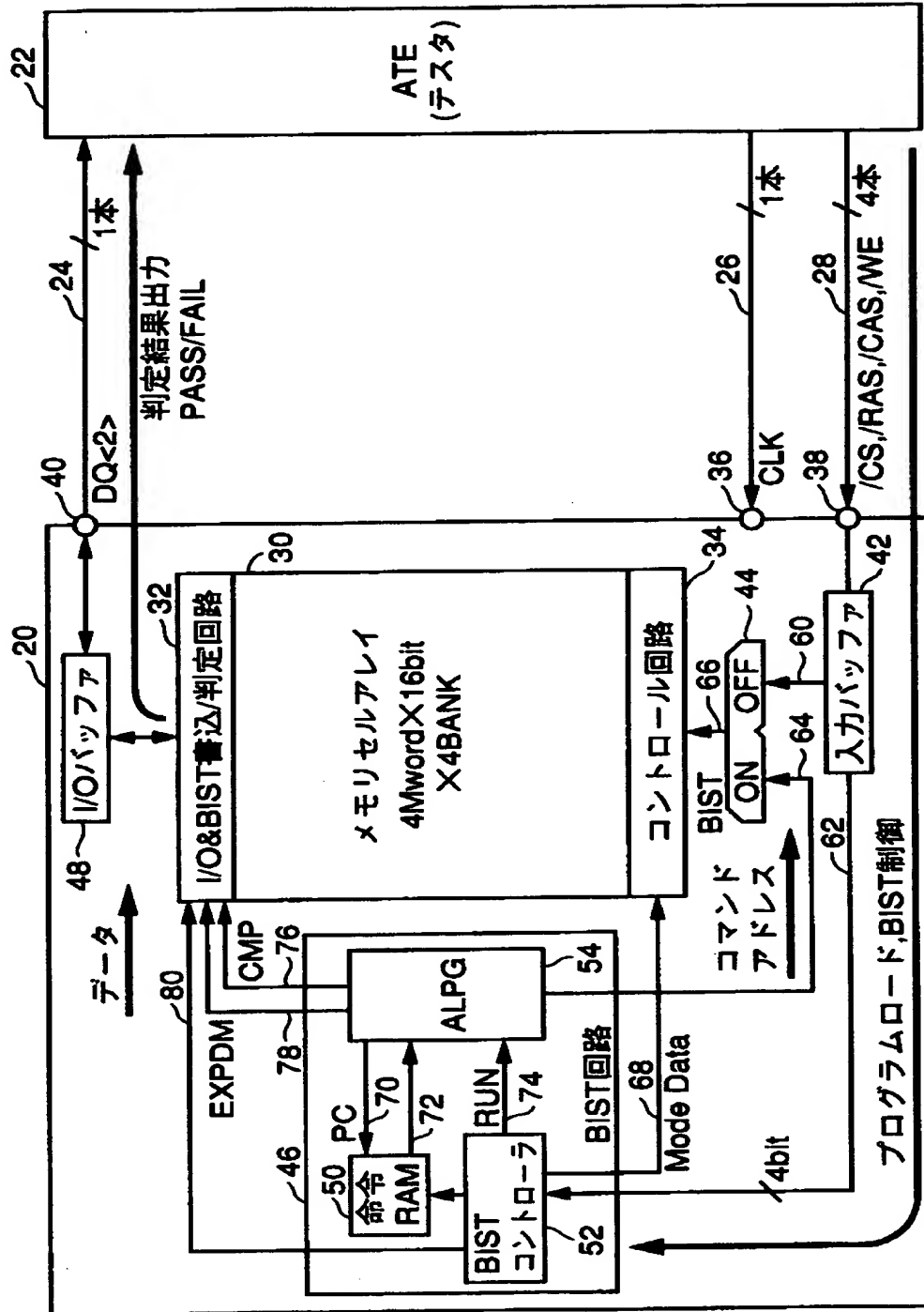
【符号の説明】

2 0, 1 8 0, 2 0 0 自己テスト回路内蔵メモリ、2 2, 1 8 2 テスタ、
3 0 メモリセルアレイ、3 2, 1 9 0, 2 1 0 入出力および B I S T 書込／
判定回路、3 4 コントロール回路、4 6 B I S T 回路、5 0 命令 R A M、
5 2 B I S T コントローラ、5 4 A L P G。

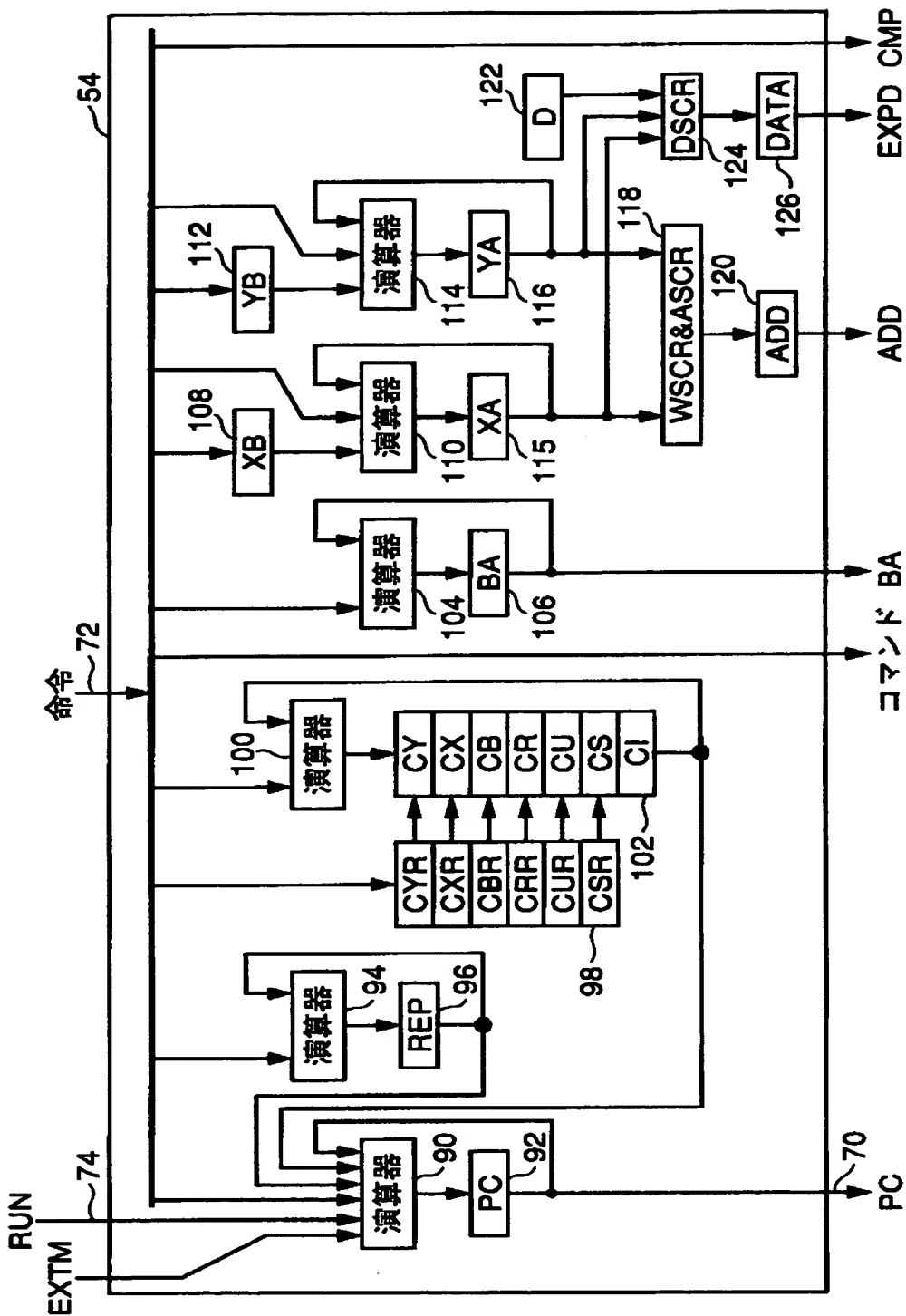
【書類名】

図面

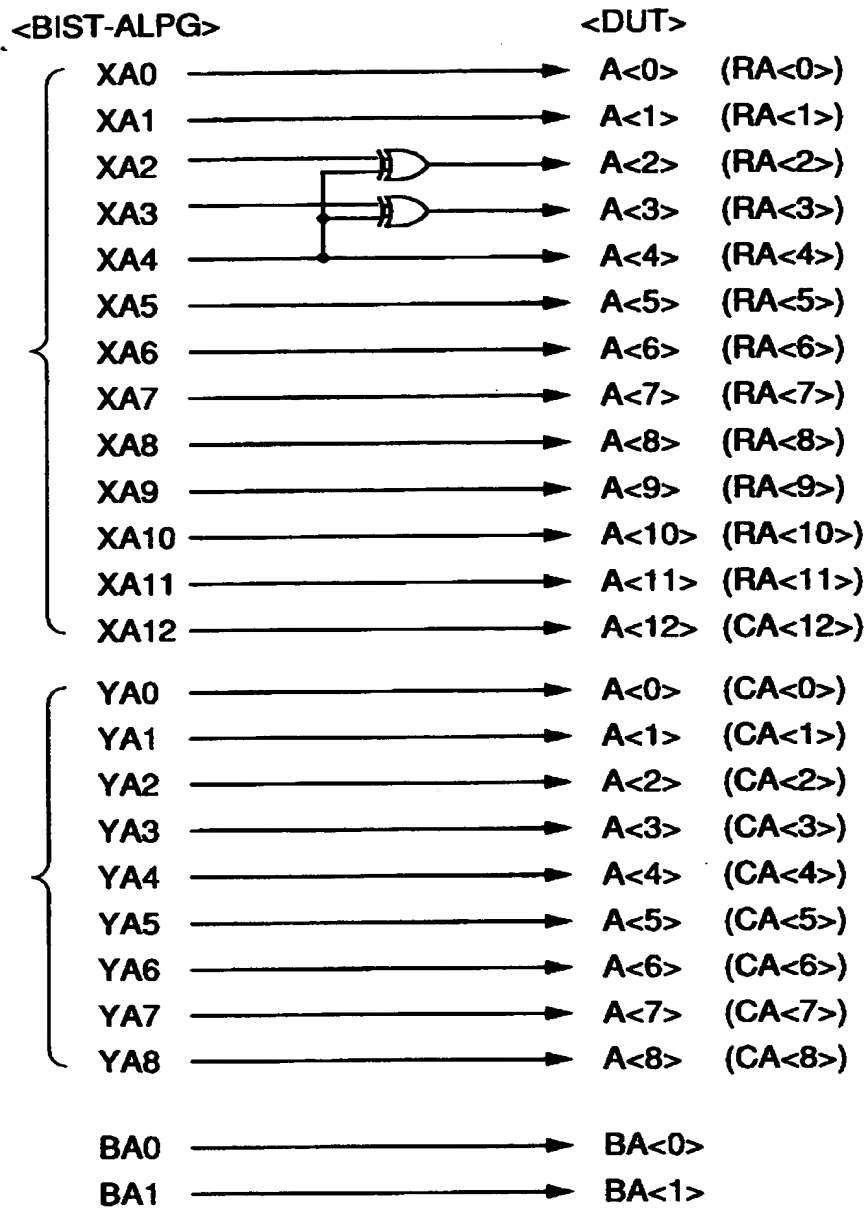
【図 1】



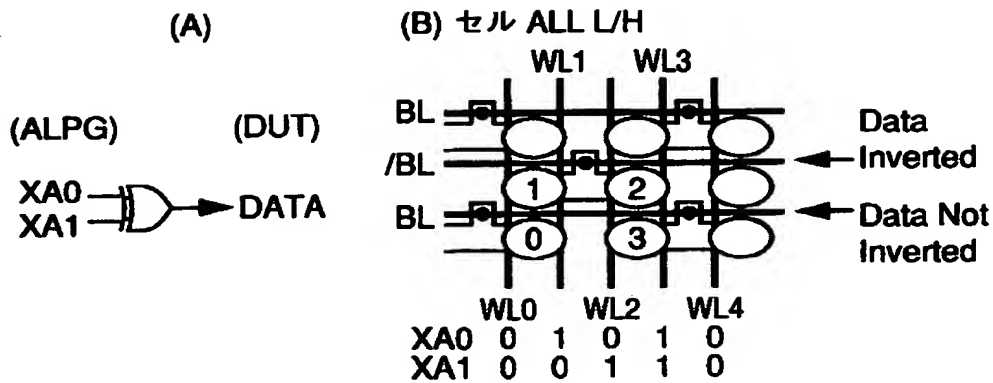
【図 2】



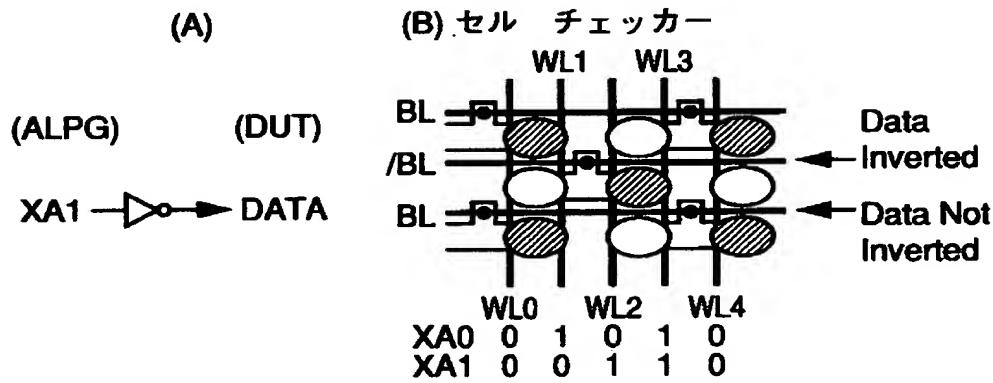
【図 3】



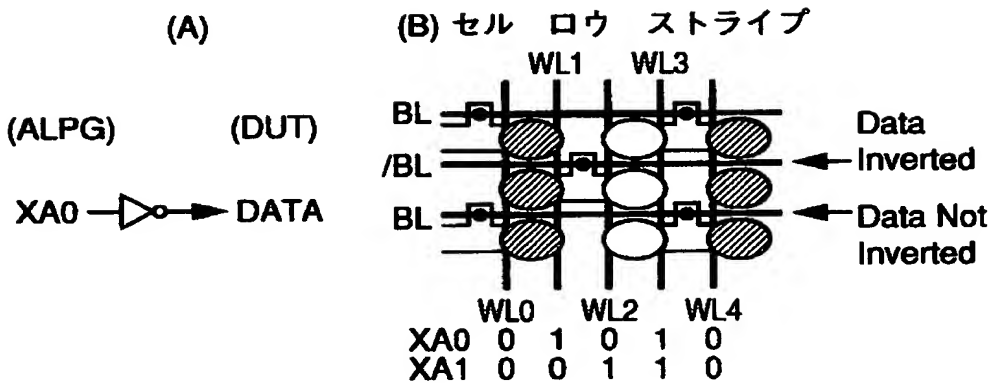
【図 4】



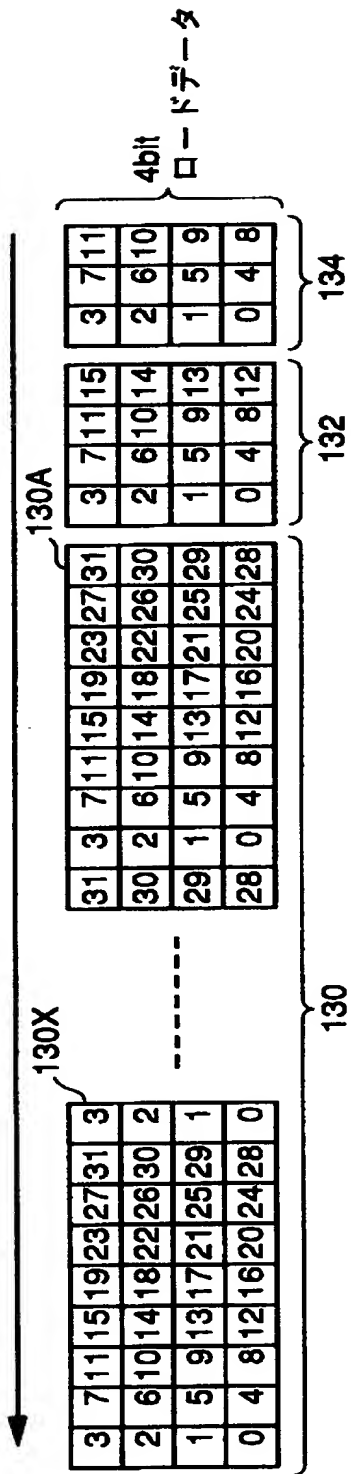
【図 5】



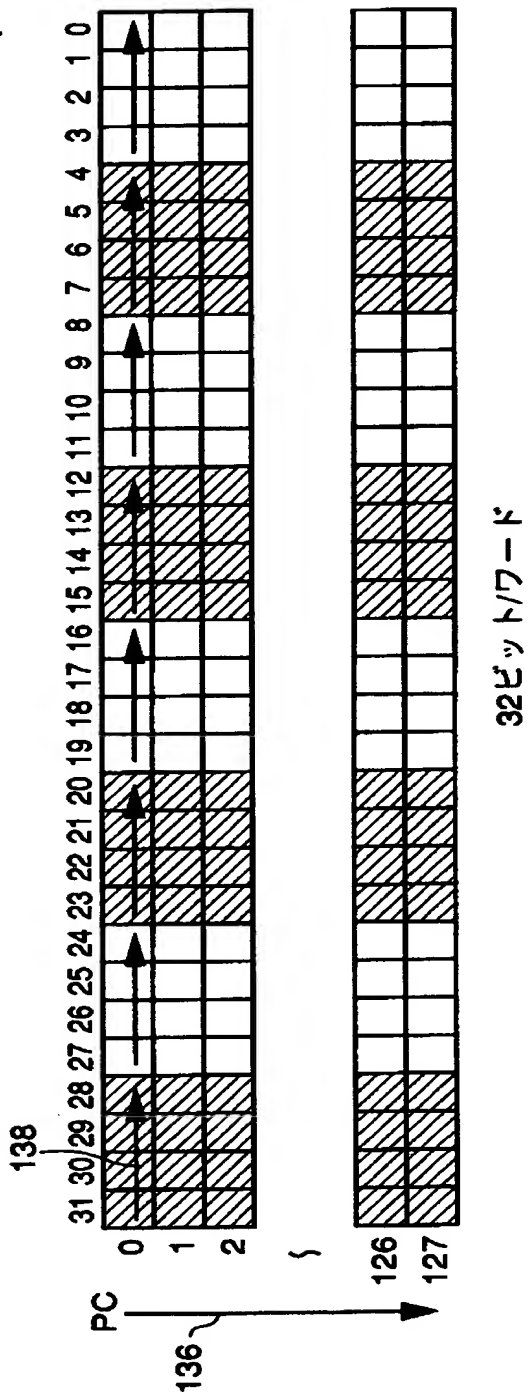
【図 6】



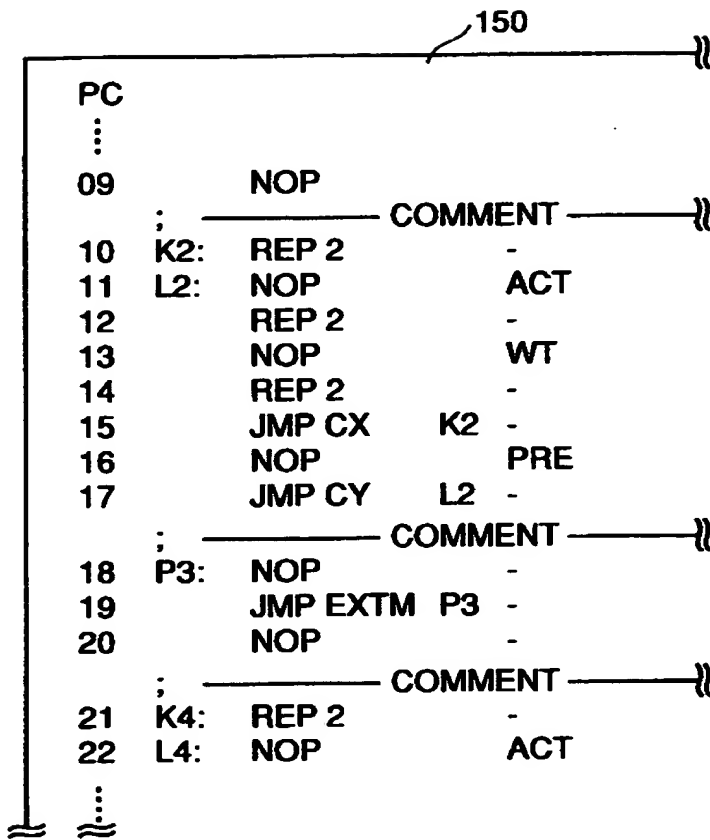
【図 7】



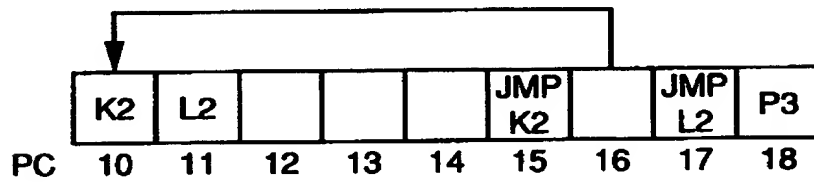
【図 8】



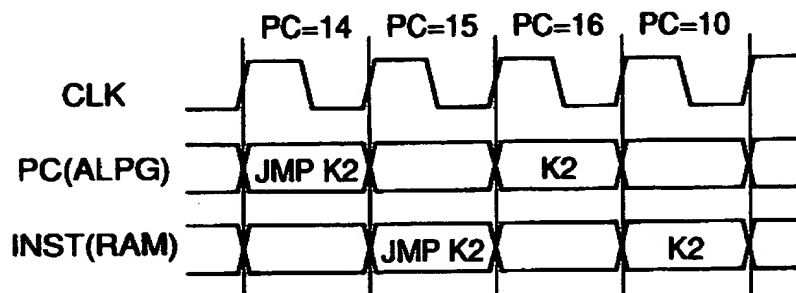
【図 9】



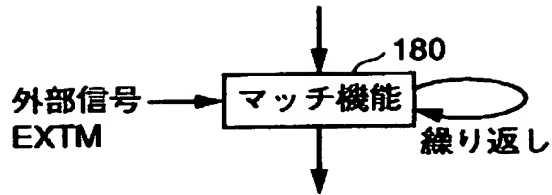
【図 1 0】



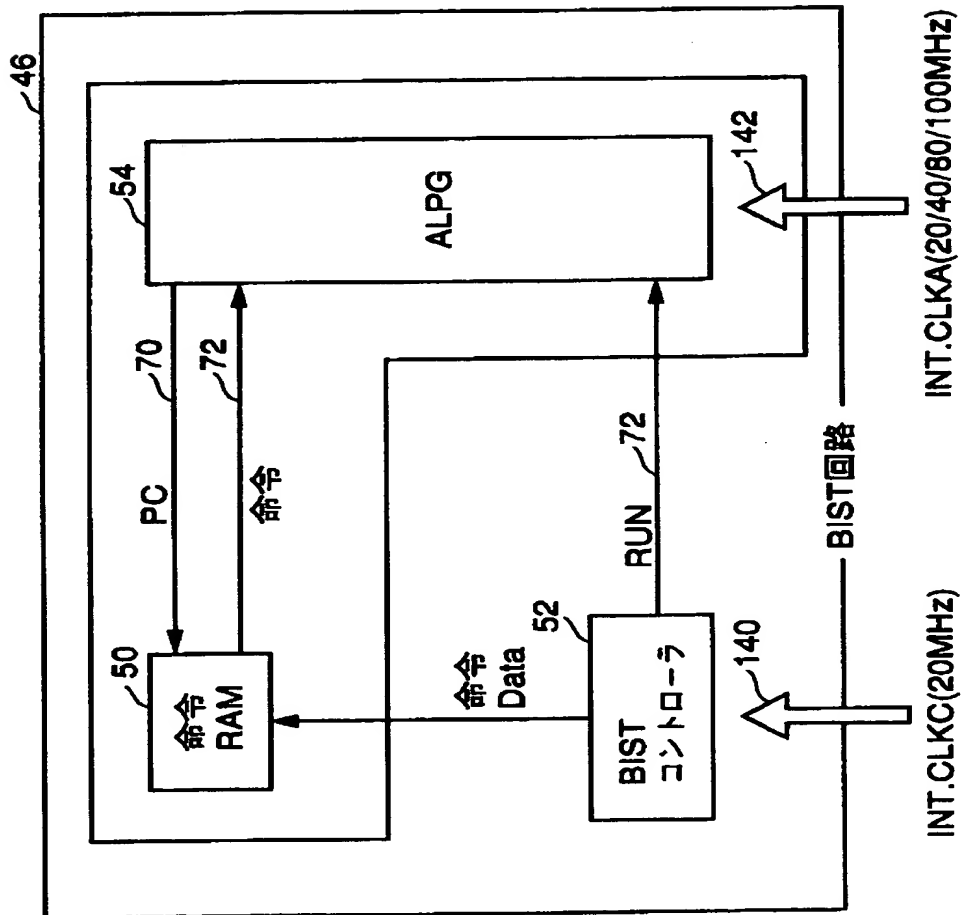
【図 1 1】



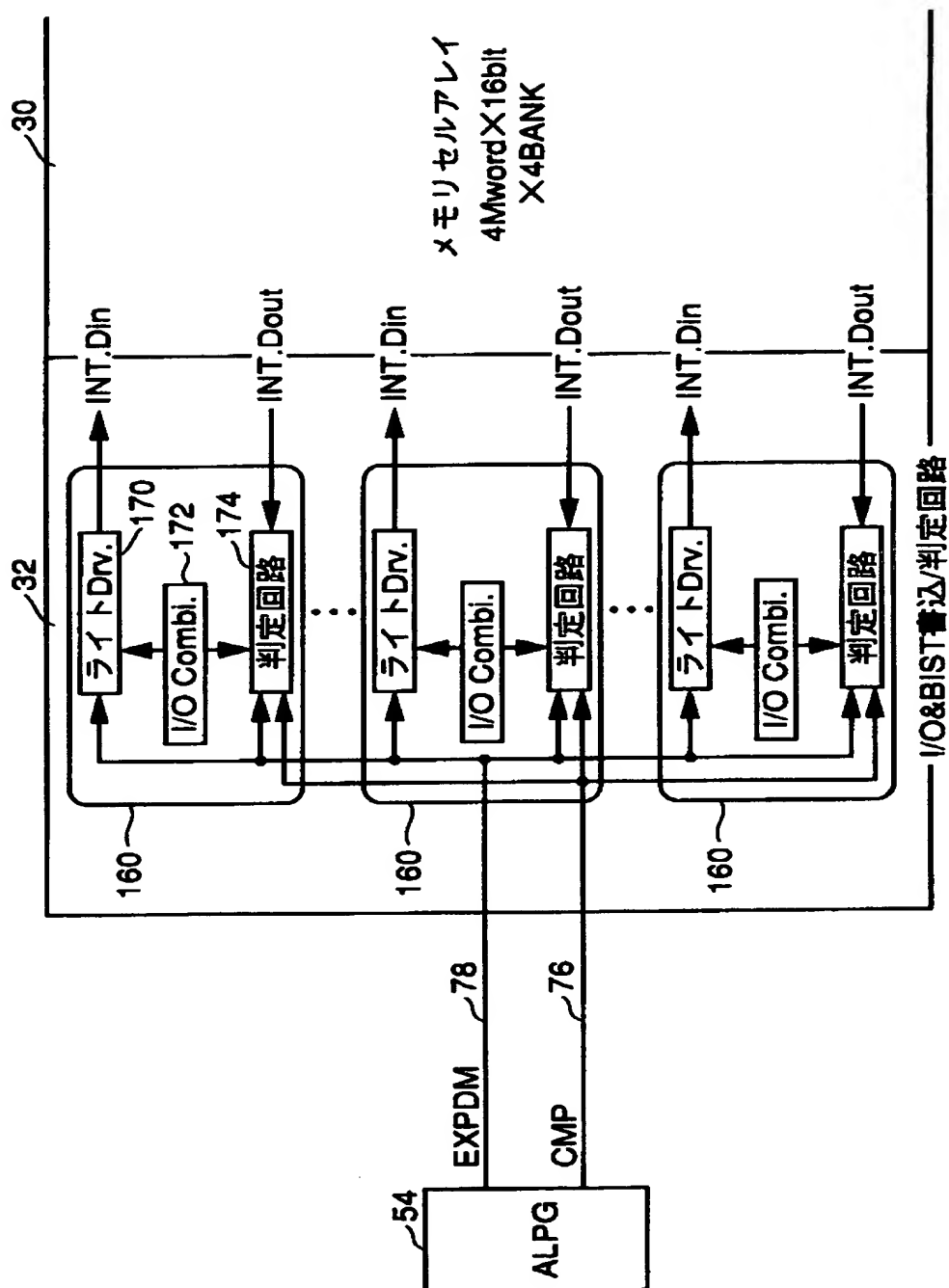
【図 1 2】



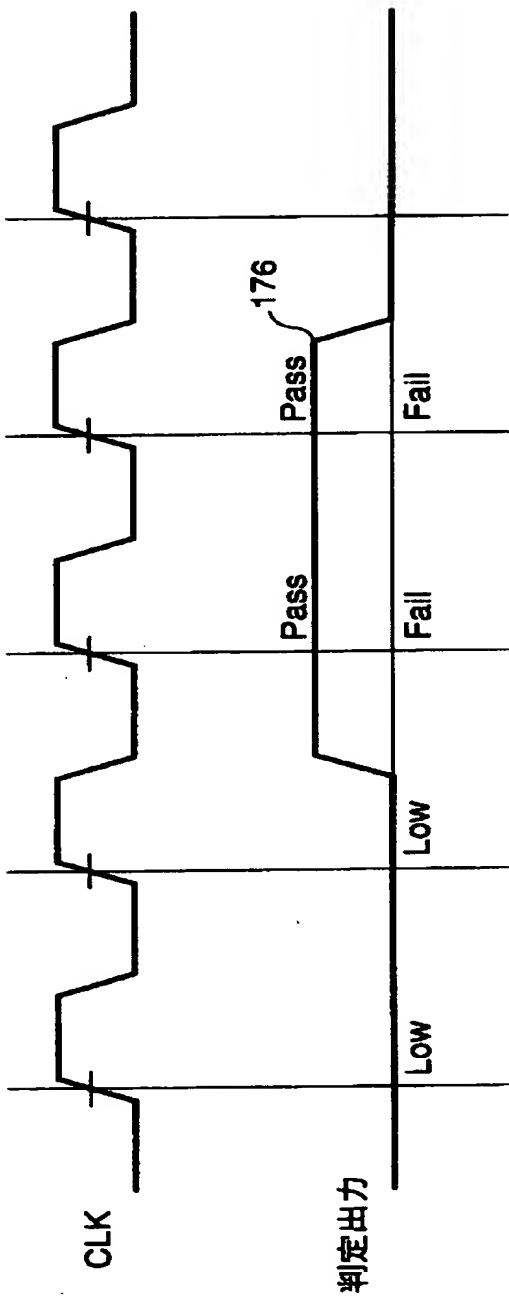
【図 1 3】



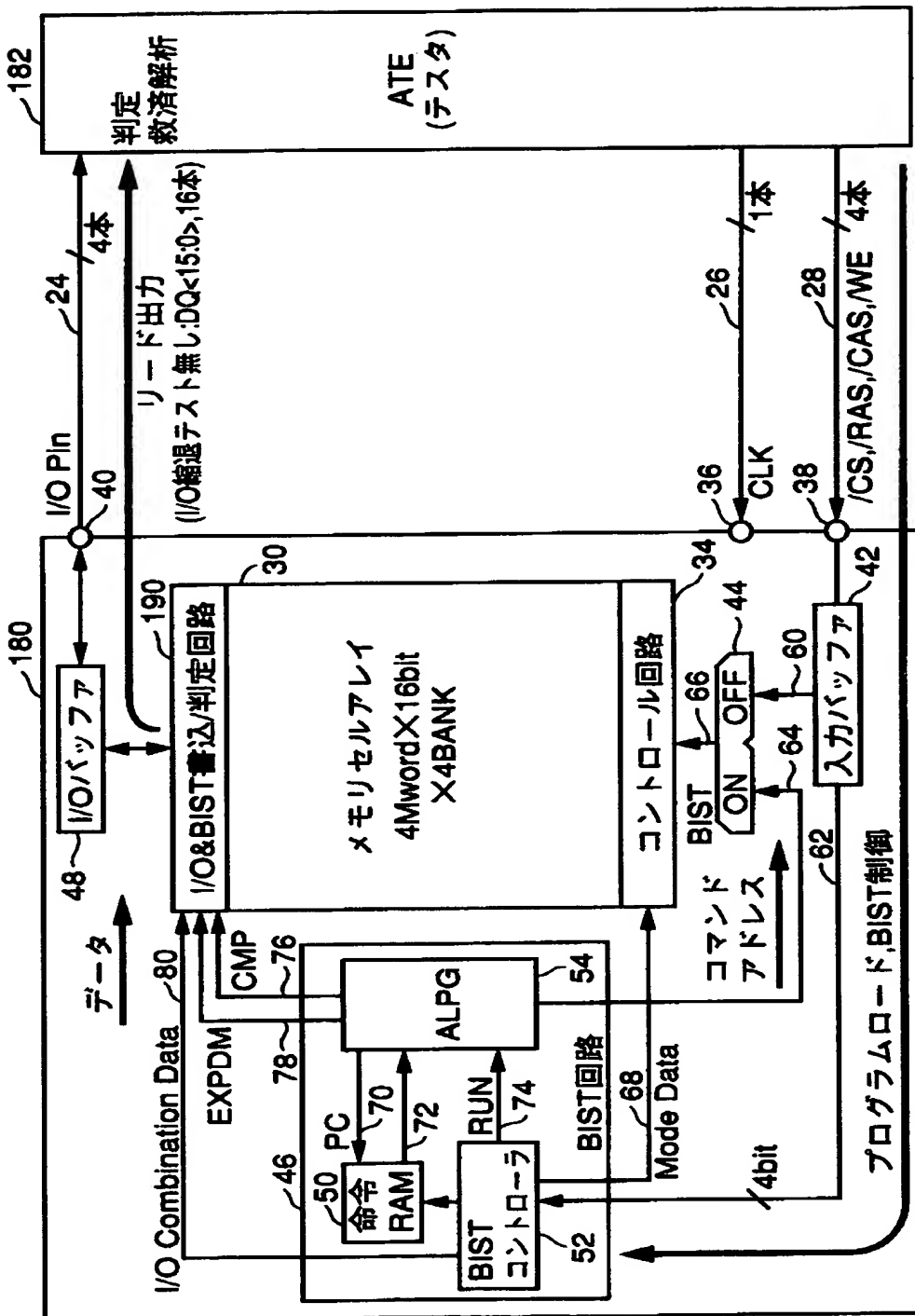
【图 14】



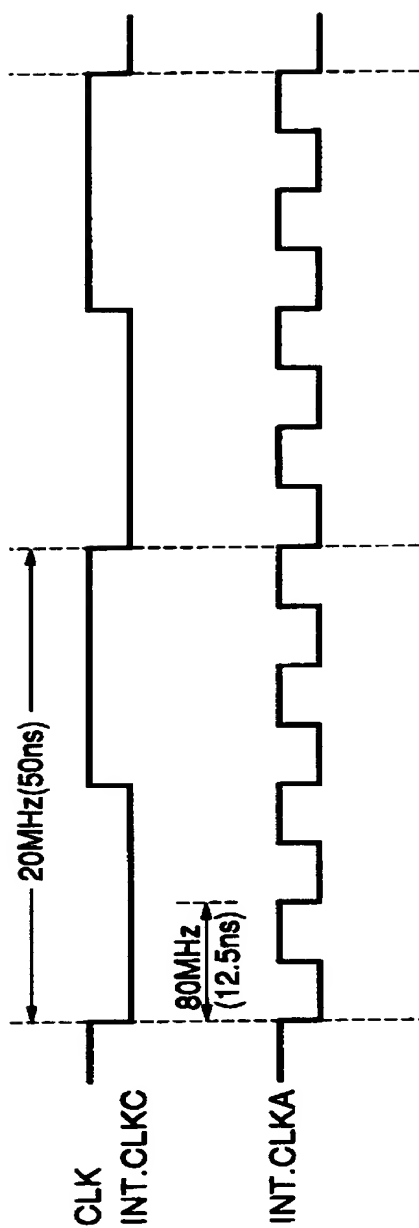
【図 1 5】



【図 1 6】

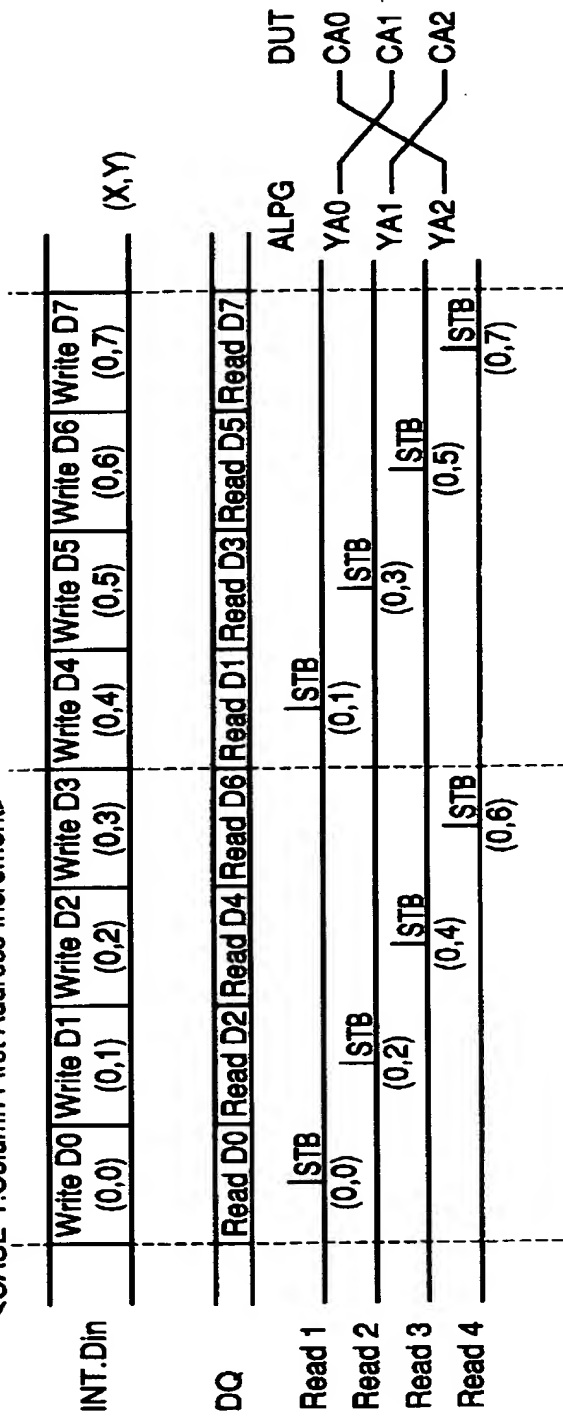


【図 1 7】

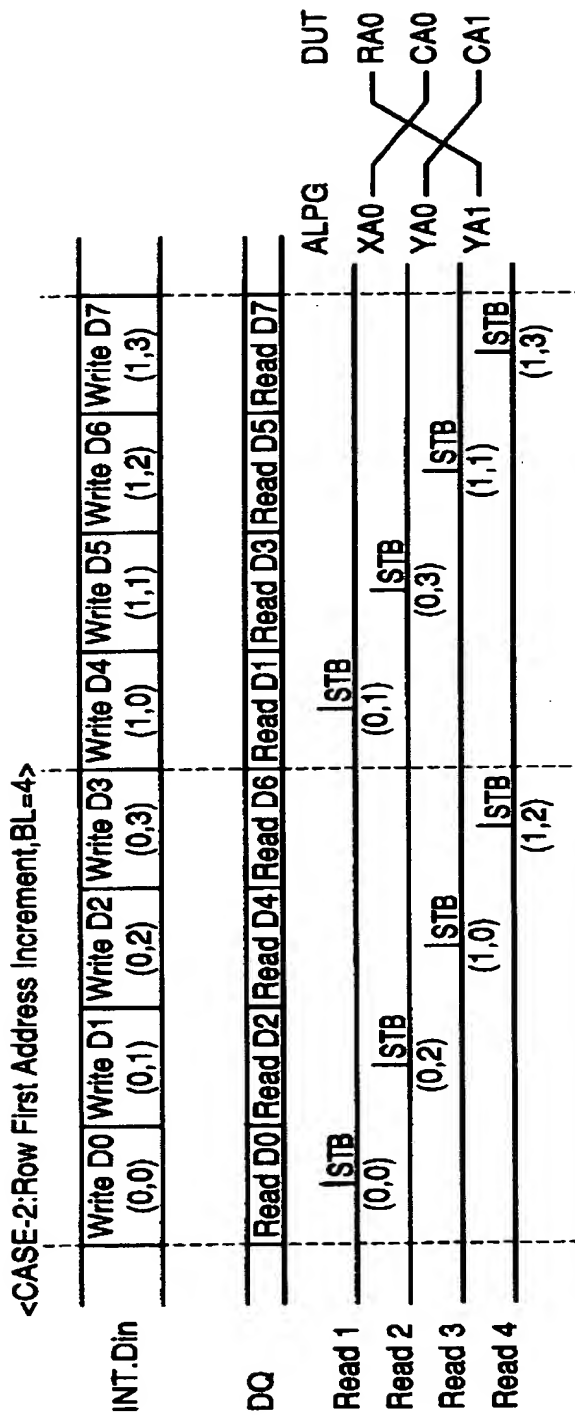


【図 1 8】

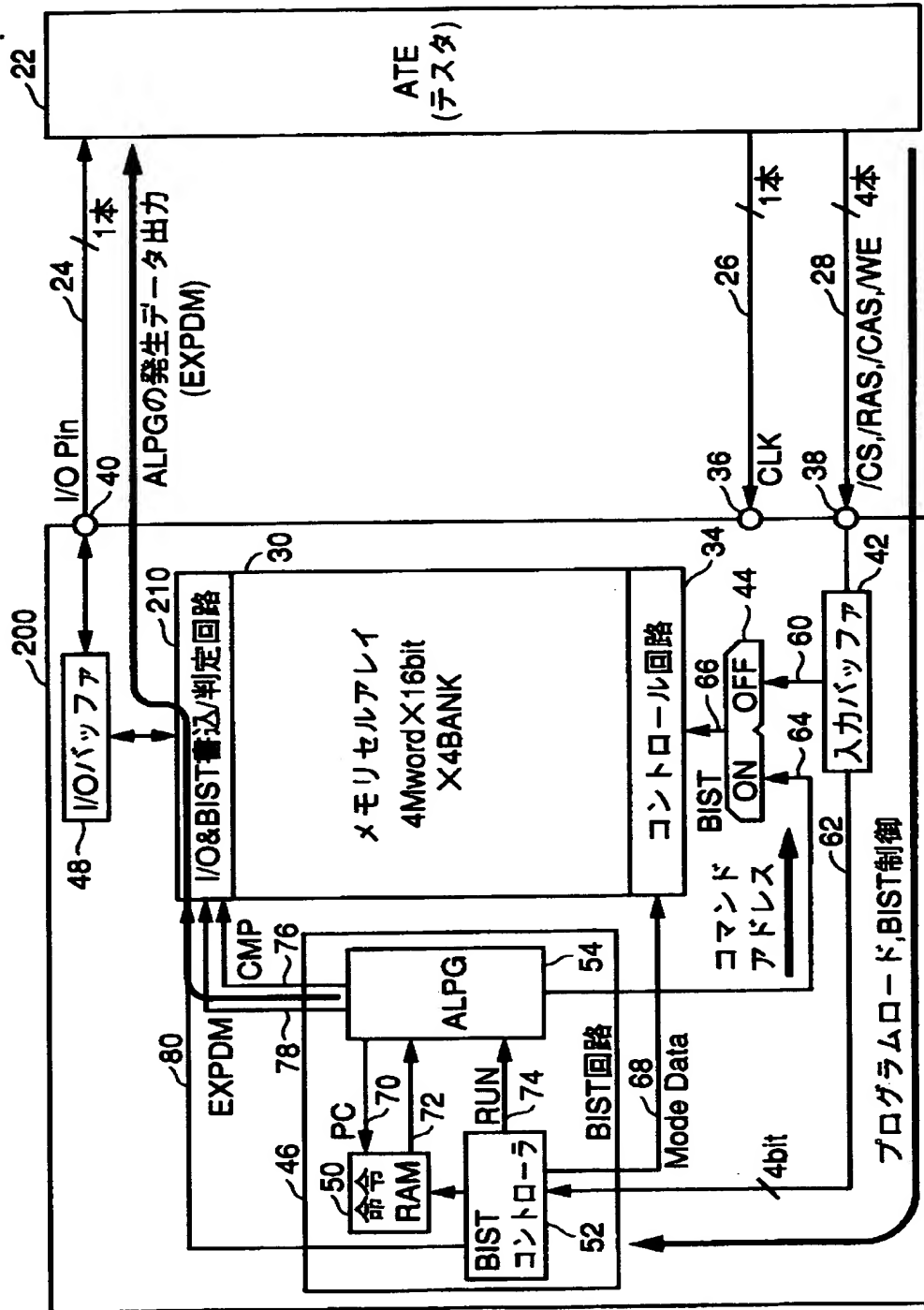
<CASE-1:Column First Address Increment>



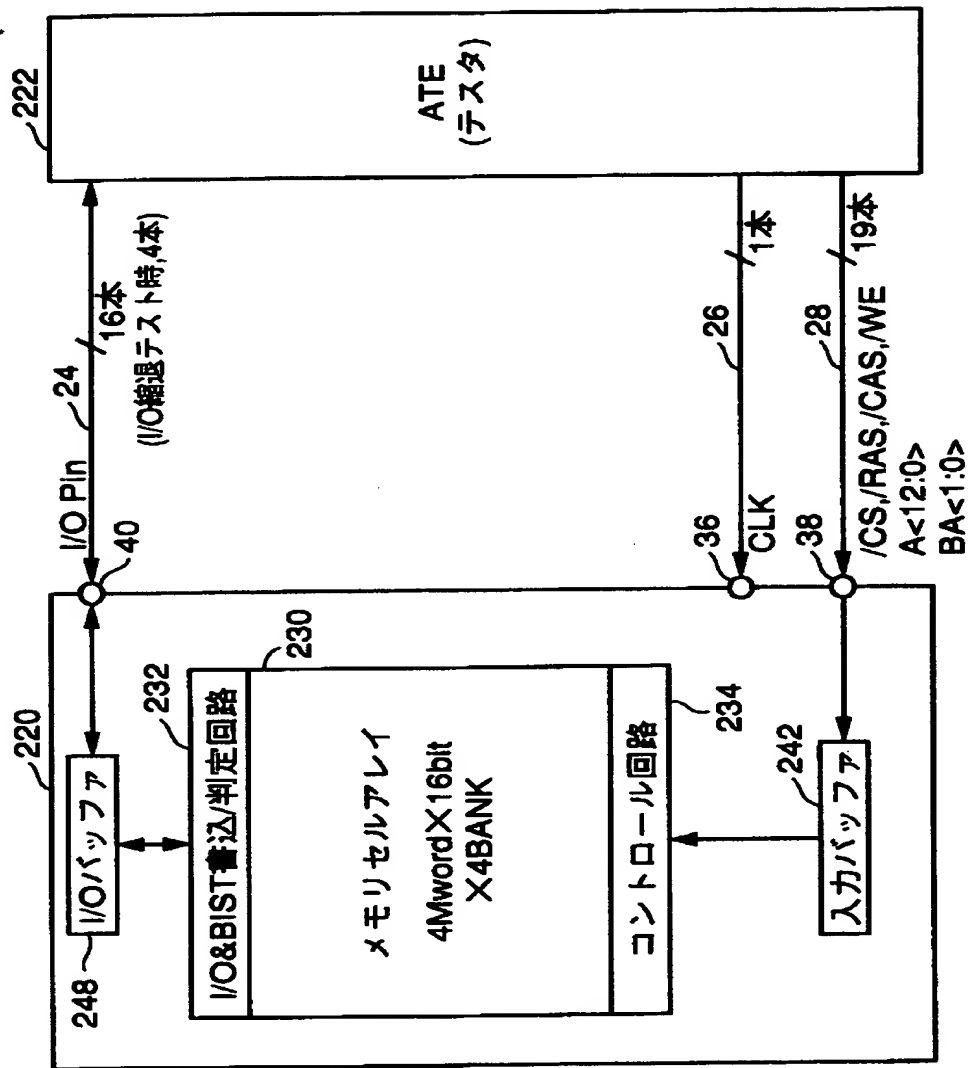
【図 1 9】



【図 2 0】



【図 2 1】



【書類名】 要約書

【要約】

【課題】 半導体記憶装置の記憶容量の増大に対してテストのための設備投資を抑えることができる半導体記憶装置を提供すること。

【解決手段】 自己テスト回路内蔵半導体記憶装置 2 0 は、半導体基板と、半導体基板上に形成されたメモリセルアレイ 3 0 と、半導体基板上に設けられ、プログラムを記憶して記憶されたプログラムにしたがってメモリセルアレイのテストを行ない、テスト結果を出力するためのテスト回路 5 0, 5 4 と、半導体基板上に設けられ、テスト回路 5 0, 5 4 に記憶されるプログラムの内容を書き換えるためのコントローラ 5 2 とを含む。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社

出 願 人 履 歴 情 報

識別番号 [591036505]

1. 変更年月日 1991年 2月26日

[変更理由] 新規登録

住 所 兵庫県伊丹市瑞原4丁目1番地

氏 名 菱電セミコンダクタシステムエンジニアリング株式会社